

(19)日本国特許庁 (JP)

再公表特許 (A1)

(11)国際公開番号

WO 98/28795

発行日 平成12年5月16日(2000.5.16)

(43)国際公開日 平成10年7月2日(1998.7.2)

(51)Int.Cl.

識別記号

F I

H 01 L 27/108
21/8242
27/11
21/8244

審査請求 未請求 予稿密査請求 有 (全 60 頁)

出願番号 特願平10-532327
(21)国際出願番号 PCT/JP 96/03736
(22)国際出願日 平成8年12月20日(1996.12.20)
(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE), CN, JP, KR, US

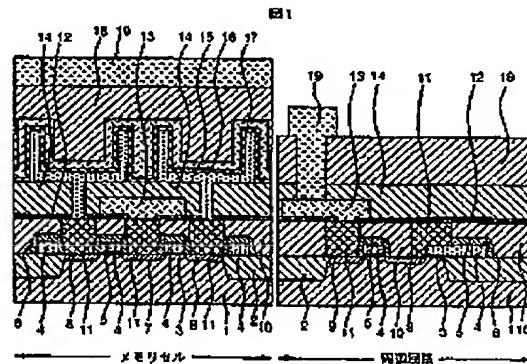
(71)出願人 株式会社日立製作所
東京都千代田区神田駿河台4丁目6番地
(72)発明者 山中 俊明
埼玉県入間市春日町2丁目12番2-301
(72)発明者 木村 韶一郎
東京都国立市谷保6200
(72)発明者 松岡 秀行
東京都保谷市住吉町6-8-25
(72)発明者 関口 知紀
東京都国分寺市西恋ヶ窓4-14-6 日立
第四協心寮
(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

半導体基板の活性領域上もしくはゲート電極上にチタンナイトライドからなるプラグ電極11を設け、積層して形成されているキャバシタの蓄積電極15の開口部を縮小し、配線電極13の線幅を縮小することにより、蓄積電極の15接続部分で配線電極11との余裕を確保し、メモリセルの所要面積を縮小する。さらに、周辺回路のCMOSFET部やステティックRAMのメモリセルにおいても上記プラグ電極を共通に用い、夫々のレイアウトをコンパクトにする。



【特許請求の範囲】

1. 半導体基体一主面に設けた第1のトランジスタを含むメモリセル領域と、互いに導電型の異なる第2のトランジスタならびに第3のトランジスタを含む論理回路領域とを有する半導体記憶装置において、第1のトランジスタと第2のトランジスタと第3のトランジスタ上の第1の絶縁膜主面には、第1の金属からなる第1の配線がメモリセル領域と論理回路領域にそれぞれ形成され、該第1の配線と、上記第1、第2ならびに第3のトランジスタとの接続が、上記第1の絶縁膜を貫く開口内に設けられた第1の導体を含む接続体によって成されていることを特徴とする半導体記憶装置。
2. 上記半導体基体はシリコンより成り、上記第1の導体ならびに第1の金属の性質は、該第1の導体と該シリコンとの反応によるコンタクト抵抗の増加がなく、そして該第1の金属のエッチング速度に比べて該第1の導体のエッチング速度が遅いことを特徴とする請求の範囲第1項記載の半導体記憶装置。
3. 上記第1の導体と上記第1の金属は互いに異なる高融点金属であることを特徴とする請求の範囲第1項乃至第2項記載の半導体記憶装置。
4. 上記第1の導体はチタンナイトライドもしくはチタンタングステンであり、上記第1の金属はタンクスチタンであることを特徴とする請求の範囲第1項乃至第3項記載の半導体記憶装置。
5. 上記第1の導体は、シリサイド層を介して上記シリコン基板に接続されていることを特徴とする請求の範囲第1項記載の半導体記憶装置。

6. 上記第1のトランジスタと第2のトランジスタと第3のトランジスタの夫々のソース領域とドレイン領域とゲート電極は、上記第1の導体を含む接続体により、上記第1の金属に接続されていることを特徴とする請求の範囲第1項記載の半導体記憶装置。
7. メモリセルがシリコン基板主面に設けた第1のトランジスタを含み、該第1のトランジスタ上の第1の絶縁膜ならびに第2の絶縁膜を介して、第1の金属からなる第1の配線が形成された半導体記憶装置において、該第1の配線上に第3の絶縁膜を介して第1の素子が形成されており、該第1の素子と上記第1のトランジ

ンジスタの接続が、第1の絶縁膜を貫く開口に設けられた第1の導体と、第2の絶縁膜と第3の絶縁膜を貫く第2の導体を含む接続体によって達成されていることを特徴とする半導体記憶装置。

8. 上記第1の導体と第2の導体は、ほぼ円筒形状であり、上記第1の導体は、上記第1のトランジスタのゲート電極の側壁ならびに上部に形成された第4ならびに第5の絶縁膜によって該ゲート電極と電気的に絶縁され、該第1の導体の一部が上記第1のトランジスタのゲート電極上および素子分離用の第6の絶縁膜に重なるように配され、上記第2の導体の平均的な直径が上記第1の導体の平均的な直径より小さいことを特徴とする請求の範囲第7項記載の半導体記憶装置。

9. 上記第1の配線の幅が上記第1の絶縁膜を貫く開口に設けられた第1の導体の平均的な直径より小さいことを特徴とする請求の範囲第1項記載の半導体記憶装置。

10. 上記第1の配線は、ダイナミック型ランダムアクセスメモリセルのデータ線であり、上記第1の素子は、ダイナミック型ラ

ンダムアクセスメモリセルのキャパシタであることを特徴とする請求の範囲第1項または第7項記載の記載の半導体記憶装置。

11. 上記第1の素子は、スタティック型ランダムアクセスメモリセルの多結晶シリコントランジスタであり、上記第1の配線は前記スタティック型ランダムアクセスメモリの電源配線であることを特徴とする請求の範囲第7項記載の記載の半導体記憶装置。

12. 上記第1の配線は、スタティック型ランダムアクセスメモリセルの互いに異なる導電型のトランジスタのゲート電極もしくはソース・ドレイン領域を接続するローカル配線であることを特徴とする請求の範囲第11項記載の半導体装置。

13. シリコン基板正面に設けた第1のトランジスタを含むメモリセルと、互いに導電型の異なる第2のトランジスタならびに第3のトランジスタを含む論理回路とを有する半導体装置において、第1のトランジスタと第2のトランジスタと第3のトランジスタ上の第1の絶縁膜正面には、第1の金属からなる複数の第1

の配線が夫々メモリセル領域と論理回路領域に形成されており、該第1の配線と、上記第1、第2ならびに第3のトランジスタとの接続が、上記第1の絶縁膜を貫く第1の導体を含む接続体によって達成されており、該第1の配線上には第2の絶縁膜が設けられ、メモリセル領域の該第2の絶縁膜正面には第1の素子が設けられ、該第1の素子と上記第1のトランジスタとの接続が、上記第1の導体と上記第2の絶縁膜を貫く第2の導体を含む接続体によって達成されていることを特徴とする半導体装置。

14. 上記第2の導体がチタンナイトライドからなることを特徴とする請求の範囲第13項記載の半導体装置。

15. 上記第2ならびに第3のトランジスタからなる一対のインバータと、該一対のインバータからなるラッチ型のフリップフロップ回路と、該フリップフロップ回路に接続された一対の信号線と、該一対の信号線に接続された上記第2または第3のトランジスタからなる第1ならびに第2のスイッチ用トランジスタとを有し、上記一対のインバータの一方のゲートと他方のドレインを夫々交差接続する接続体が上記第1の配線ならびに第1の導体を含むことを特徴とする請求の範囲第1項記載の半導体記憶装置。

16. 半導体基体主面上に第1の絶縁膜が設けられ、該第1の配線が第1の絶縁膜の第1の開口部に埋め込められた導体からなる半導体集積回路装置であって、該第1の絶縁膜の第1の開口部の側壁には他の絶縁膜のサイドウォールが形成され、該サイドウォールが前記第1の配線の線幅を決定していることを特徴とする半導体集積回路装置。

17. 上記第1の配線は高融点金属から成ることを特徴とする請求の範囲第16項記載の半導体集積装置。

18. 上記第1の配線の断面形状が逆テーパー状になっていることを特徴とする請求の範囲第16項記載の半導体集積装置。

19. 上記第4の絶縁膜はシリコン窒化膜であることを特徴とする請求の範囲第16項記載の半導体集積装置。

20. 上記半導体基体に、一対の信号線に接続された一対のインバータからなる

ラッチ型フリップフロップ回路と、夫々の信号線に接続された第1ならびに第2のスイッチ用トランジスタと、第1の電源配線と、第2の電源配線と、該第1ならびに第2のスイッチ用トランジスタに接続された制御線が設けられ、前記信号線、

第1もしくは第2の電源配線、第1もしくは第2の制御線の何れかは、少なくとも上記第1の配線を含むことを特徴とする請求の範囲第16項記載の半導体集積回路装置。

21. 半導体基板正面に、1個のスイッチ用トランジスタと該スイッチ用トランジスタに接続された1個の電荷蓄積用のキャパシタとで構成されたメモリセルと、該スイッチトランジスタを選択するためのワード線と、情報を読み出し、書き込みするためのデータ線とからなるダイナミック型ランダムアクセスメモリが設けられ、該データ線が上記第1の配線からなることを特徴とする請求の範囲第16項記載の半導体集積回路装置。

22. 半導体基体にMISFETを形成する工程と、第1の絶縁膜を堆積する工程と、該第1の絶縁膜の所望の領域をエッティングし、配線バターンの第1の開口部を形成する工程と、第6の絶縁膜を堆積し、異方性のエッティングにより該第1の開口部側壁に該第7の絶縁膜によるサイドウォールスペーサを形成する工程と、該第1の開口部内に第1の導体を埋め込む手段を含む工程を有することを特徴とする半導体集積回路装置の製造方法。

23. 半導体基体にMISFETを形成する工程と、該MISFET上に第1の絶縁膜を堆積する工程と、該第1の絶縁膜上にプラチナ膜を堆積する工程と、該プラチナ膜上に非晶質シリコンを堆積し、所望の部分をドライエッティングする工程と、熱処理を施し前記プラチナ膜上の非晶質シリコンが存在する部分にプラチナシリサイドを形成する工程と、該プラチナシリサイドをウェットエッティングにより除去し、所望の部分にプラチナ電極を残存させる工程とを有することを特徴とする半導体集積回路装置の製造方

法。

24. 上記プラチナ電極は半導体基板の正面より上部に形成したダイナミック型ランダムアクセスメモリセルのキャパシタの電極であることを特徴とする請求の範囲第23項記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

半導体記憶装置及びその製造方法

技術分野

本発明は半導体記憶装置、例えば高集積化に好適な立体構造のキャパシタを有するダイナミック型ランダムアクセスメモリあるいはスタティック型ランダムアクセスメモリ、そしてこれらメモリをコアとしたロジック混在システムLSIに関する。

背景技術

例えばダイナミック型ランダムアクセスメモリ（以下ダイナミックRAMと略す）は、情報を記憶する電荷蓄積用のキャパシタおよびそのキャパシタに書き込み読みだし用のスイッチトランジスタを接続したメモリセルを単位としたものである。このように一つのメモリセルの構成素子数が少ないとから大容量を必要とするコンピュータ機器の主記憶装置として広く一般に用いられている。

このようなダイナミックRAMの記憶容量を増やすためには、メモリセル面積を微細化しメモリセルの集積度を向上する必要がある。

しかし、このような過程において、メモリセル面積の縮小によりメモリセルの電荷蓄積用のキャパシタの有効な面積が低下し、蓄積容量が低下することによってS/N比の低下や α 線照射により生ずるメモリセルの情報が反転するといった所謂ソフトエラー現象が顕在化し、信頼性の大きな問題になっている。

このため、メモリセル占有面積を大きくすることなく大きな蓄

積容量が得られるいくつかのメモリセル構造がこれまでに考案されてきた。その一つに王冠（クラウン）型のキャパシタの如く容量電極に垂直面を利用した立体的なキャパシタからなる積層（スタックト）型キャパシタを有するメモリセルがある。この種のメモリセルは、例えば特開昭62-48062号公報および特開昭62-128168号公報に記述されている。

また、1ギガビットのダイナミックRAMのメモリセルは、アイ・イー・イー・インターナショナル・エレクトロン・ディバイシス・ミーティング、テクニカル・ダイジェスト（IEEE Int., Electron Devices Meeting, Technical Digest）

、pp.927-929,Dec. (1994) に論じられている。

上記の文献に開示されているメモリセル構造の知見から発明者等によって考えられたダイナミックRAMを図45に示す。以下、図45を用いてそのダイナミックRAMの構成とその問題点を説明する。

図45において、メモリセルのスイッチ用トランジスタ（以下、最も一般的なMISFETを用いる）は、ゲート絶縁膜403、ゲート電極404、ならびにソースもしくはドレインとなる高濃度n型不純物領域407、408からなる。高濃度n型不純物領域407、408にはシリコン酸化膜409を貫く多結晶シリコンプラグ410が形成されている。さらに多結晶シリコンプラグ410上の絶縁膜412には開口部が設けられており、該多結晶シリコンプラグ410を通して絶縁膜412上に形成されたデータ線（配線電極413）が、高濃度n型不純物領域407に電気的に接続されている。また、データ線（配線電極413）とワード

ド線（ゲート電極404）の隙間において、高濃度n型不純物領域408上に形成された多結晶シリコンプラグ410上の絶縁膜412と、該絶縁膜412上のシリコン酸化膜414には共通の開口部が設けられており、該開口部と上記多結晶シリコンプラグ410を通して上記多結晶シリコンで形成された王冠型キャバシタの蓄積電極415が、高濃度n型不純物領域408に電気的に接続されている。

さらに、上記蓄積電極415上にはキャバシタ誘電体膜416が堆積されており、その上部にはブレート電極417が設けられている。また、メモリセル上のシリコン酸化膜418上にはアルミニウム配線419が形成されており、セル選択線やワード母線として用いられている。

ところが、上記した様なデータ線の上部にキャバシタを設けた構造のメモリセルで、特に高集積用のメモリセルにおいては、データ線（配線電極413）とキャバシタ電極415の接続部とが極めて接近して配置されることになる。そのため、製造時のマスク合わせずれや、絶縁膜414に開口部を形成するためのドライエッチングでの寸法シフト（サイドエッチング）により、データ線とキャバ

シタ電極の間の電気的な絶縁を十分に確保することが困難になってくる。さらに、データ線と絶縁膜412の開口部との重なり部分についても、データ線が開口部を十分に覆うだけの余裕の確保が困難になり、マスク合わせずれやドライエッティングの際の寸法シフト（サイドエッティング）によって、データ線となる配線電極413のドライエッティングで上記開口部から多結晶シリコンプラグ410が露出し、多結晶シリコンプラグが深くエ

ッティングされてしまうといった問題が生ずる。

また、センスアンプなどメモリセルアレーに直接接続されている周辺回路もメモリセルと同一もしくはその2倍の繰り返しピッチで配置する必要があり、上記したような面積の小さな高集積用のメモリでは、センスアンプなどの直接周辺回路の占有面積も縮小する必要があった。しかし、周辺回路においても、周辺回路を構成するMISFETの占有面積を縮小し、そして配線の密度を高めるためには上記のメモリセルと同様の問題があった。

さらに、上記メモリセルには高さの高い立体的なキャバシタが用いられているために、メモリセル部分と周辺回路部分に生ずる大きな標高差を平坦化すると、周辺回路部分のコンタクトホールの深さが深くなり、周辺回路の配線が断線するといった問題が生ずる。

この問題を解決するためには、周辺回路のコンタクト部分にも上記メモリセルと同一の多結晶シリコンプラグを用いることが効果的である。従来、上記多結晶シリコンプラグの形成にはドープトボリシリコンが用いられており、単一導電型のトランジスタからなるメモリセルには該ドープトボリシリコンによる多結晶シリコンプラグを用いることができた。

しかし、一般に異なる導電型のトランジスタが用いられている周辺回路には、単一導電型のドープトボリシリコンを用いた多結晶シリコンプラグを適用することができず、周辺回路の面積を縮小することは困難であった。

一方、上記したようなプラグ材料としては、化学気相成長（CVD）法で堆積したタンゲステンも知られており、この場合には

タングステンが不純物の拡散バリヤとなるために異なる導電型の周辺回路に用いることができるが、タングステンは耐熱性が低く、600℃以上の熱処理によりシリコンと反応するといった問題が明らかとなつた。

また、シリコン基板正面に形成された異なる導電型のトランジスタからなるスタティック型ランダムアクセスメモリ（以下、スタティックRAMと略す）セルにおいても、ローカル配線技術によりメモリセル面積を縮小することができたが、同種の技術では周辺回路の配線層を構築するまでには至っていない。

さらに、高密度のダイナミックRAMをコアとしたロジック混在システムLSI（半導体集積回路装置）では、メモリセル部分とロジック部分をできるだけ共通化することが必須である。

発明の開示

本発明の一つの目的は、メモリセルおよびその周辺回路を含み、高集積度かつ高信頼性を有する半導体記憶装置を提供することにある。

本発明の他の目的は、メモリセルおよびセンスアンプやロジック回路を構成する相補型トランジスタを含み、高集積度かつ高信頼性を有する半導体記憶装置を提供することにある。

本発明の他の目的は、高密度で、かつ蓄積容量の増大を図ったスタックトキャッシュを有するダイナミックRAMを提供することにある。

本発明のさらに他の目的は、メモリセル面積の縮小を図ったスタティックRAMを提供することにある。

本発明は製造工程の簡略化により、コスト低減を図ることを可能

にした半導体記憶装置を提供することにある。

本発明によれば、メモリセルならびにその周辺回路を有する半導体記憶装置において、半導体基板正面にそれらメモリセルならびにその周辺回路を構成するトランジスタが設けられ、それらトランジスタ上に第1の絶縁膜が設けられ、該第1の絶縁膜を貫く被覆性の良いチタンナイトライドからなる第1の導体（プラグ電極）が複数設けられ、該第1の絶縁膜の主面に第1の配線が設けられ、該第1の配線と該トランジスタとを該第1の導体用いて接続して成ることを特徴とする

ものである。

本発明によれば、メモリセル領域内において、第1の絶縁膜上の第2の絶縁膜主面に形成されたキャバシタとトランジスタを、上記第1の導体と該第2の絶縁膜を貫くように設けられた第2の導体を用いて接続して成ることを特徴とするものである。

本発明によれば、上記第1の導体の円柱部分の直径より上記第2の導体の円柱部分の直径を小さく構成されていることを特徴とするものである。

さらに本発明によれば、上記第1の配線の線幅を該第1の導体の円柱部分の直径より細く構成していることを特徴とするものである。

そして、さらに本発明によれば、相補型トランジスタを構成するnチャネルのトランジスタとpチャネルのトランジスタとは上記第1の導体を介して電気的接続されていることを特徴とするものである。

本発明によれば、チタンナイトライドからなる第1の導体は、上記第1の配線に適切な材料を用いることによって、両者のエッ

チング比の違いを効果的に利用することができるため、第1の配線のドライエッチングのエッチストップとして有効に作用する。

従って、該第1の導体に接続する第1の配線が、第1の絶縁膜主面に露出する該第1の導体を完全に覆うことなく配置されても、該第1の配線のドライエッチングの際に該第1の導体が深くエッチングされることはない。

また、上記第2の導体の円柱部分の直径や上記第1の配線の線幅が細いために、該第2の導体と第1の配線が接触することはない。

従って、メモリセルの面積を縮小してもキャバシタとデータ線が短絡することはなく、しかもキャバシタがデータ線の上部にあるためにメモリセル内でキャバシタの所要面積を最大限にすることができます。

さらに、上記チタンナイトライドは不純物の拡散に対してバリアとなるために、相補型トランジスタで構成された周辺回路素子やスクティックRAMセルにおけるnチャネルのトランジスタとpチャネルのトランジスタとの接続に上記第1の導体を用いられ、周辺回路やメモリセルの所要面積を小さくすることができる

図面の簡単な説明

図1は、本発明の第1の実施例の半導体記憶装置の断面図である。

図2は、本発明の第1の実施例の半導体記憶装置の平面図である。

図3は、本発明の第1の実施例の半導体記憶装置の等価回路図である。

図4乃至図10は、本発明の第1の実施例の半導体記憶装置の製造工程を説明するための断面図である。

図11は、本発明の第2の実施例の半導体記憶装置の断面図である。

図12は、本発明の第2の実施例の半導体記憶装置の断面図である。

図13は、本発明の第3の実施例の半導体記憶装置の断面図である。

図14乃至図17は、本発明の第3の実施例の半導体記憶装置の製造工程を説明するための断面図である。

図18は、本発明の第4の実施例の半導体記憶装置の断面図である。

図19乃至図24は、本発明の第4の実施例の半導体記憶装置の製造工程を説明するための断面図である。

図25は、本発明の第5の実施例の半導体記憶装置の断面図である。

図26乃至図31は、本発明の第5の実施例の半導体記憶装置の製造工程を説明するための断面図である。

図32は、本発明の第6の実施例の半導体記憶装置の等価回路図である。

図33は、本発明の第6の実施例の半導体記憶装置の平面図である。

図34は、本発明の第6の実施例の半導体記憶装置の平面図である。

図35は、本発明の第6の実施例の半導体記憶装置の断面図で

ある。

図36は、本発明の第7の実施例の半導体記憶装置の平面図である。

図37は、本発明の第7の実施例の半導体記憶装置の平面図である。

図38は、本発明の第7の実施例の半導体記憶装置の断面図である。

図39は、本発明の第8の実施例の半導体記憶装置の平面図である。

図40は、本発明の第8の実施例の半導体記憶装置の断面図である。

図41は、本発明の第9の実施例の半導体記憶装置の平面図である。

図42は、本発明の第9の実施例の半導体記憶装置の平面図である。

図43は、本発明に先立って本発明によって考えられた半導体記憶装置断面図である。

図44は、本発明の第1の実施例の半導体記憶装置の断面図である。

図45は、本発明の第1の実施例の半導体記憶装置の断面図である。

発明を実施するための最良の形態

以下、実施例を用いて本発明を詳細に説明する。

<実施例1>

図1乃至図10を用いて本発明によるダイナミックRAMの一

実施例を説明する。図1は、メモリセルの断面図並びに周辺回路のMISFET部の断面図を同一図面上に示したものであり、図2はメモリセルの平面図である。図1のメモリセル部分の断面図は図2におけるX-X'線における断面の一部に対応している。

図1において、メモリセル内のMISFETはゲート絶縁膜3、ゲート電極4、ソース・ドレインの高濃度n型不純物領域7、8からなり、周辺回路内のMISFETはゲート絶縁膜3、ゲート電極4、ソース・ドレインの高濃度p型不純物領域9からなっている。通常、周辺回路には相補型のMISFET(CMISFET、さらに詳しくはCMOSFET)が用いられており、本発明も周辺回路素子としてnチャネルとpチャネルのトランジスタを前提に説明するが、pチャネルのトランジスタの部分について説明する。

メモリセルの高濃度n型不純物領域7、8上、および周辺回路の高濃度p型不純物領域9上には、チタンナイトライドからなるプラグ電極11が共通に設けられている。メモリセルの高濃度n型不純物領域7上のプラグ電極にはデータ線として配線電極13が接続され、さらにその上部には王冠形状をしたキャバシタの蓄積電極(下部電極)15が設けられている。そして、該蓄積電極15は、高濃度n型不純物領域8上のプラグ電極11に接続され、MISFETに電気的に接

続されている。ここで、層間絶縁膜であるシリコン酸化膜14にはプラグ電極11の直径より小さな開口部が形成され、該開口部を介して上記蓄積電極15とプラグ電極11が接続されている。そしてさらに、蓄積電極15の上部にはキャパシタ誘電体膜16が堆積され、該キャパシタ誘電体膜16の上部にキャパシタのプレート電極17が設けられ、王冠型のキャパシタを構成している。

一方、周辺回路において、上記プラグ電極11はMISFETのソース・ドレインの高濃度p型不純物領域9上とゲート電極4上の両方に形成されている。また、図1に示したように、ゲート電極4上と高濃度p型不純物領域9上に共通のプラグ電極11を設けることもできる。さらに、前記したようにMISFETはnチャネルでもpチャネルでもよく、また、ゲート電極の導電型もn型でもp型でも良い。さらに、上記周辺回路のプラグ電極11にも配線電極13を接続して周辺回路の配線として用いることができる。

次に、図2に示したメモリセルの平面図で、メモリセル内のMISFETやキャパシタの平面的な位置関係について説明する。同図で、ワード線21はMISFETの共通のゲート電極4(図1)で、またデータ線23は配線電極13(図1)で構成されている。さらに、ワード線21はY方向に、データ線23はX方向に配されており、王冠型のキャパシタ25(蓄積電極15)がこれらワード線とデータ線の隙間に活性領域(T型領域)20上のプラグ電極11を開口部24を介して接続されている。ここで、データ線23は開口部22に対して重なりの余裕を設ける必要がなく、図2に示すように、所謂ドッグボーンフリーの構造になっている。

上記したドッグボーンフリーの構造は周辺回路においても全く同様にすることができる。例えば、図3にダイナミックRAMの

ラッチ型のセンスアンプを示したが、該センスアンプに用いられている一対のCMISFETからなるインバータを互いに交差接続して成るフリップフロップ回

路等にも、図1に示した本発明を効果的に用いることができる。なお、同図において上記センスアンプは、繰り返し単位を示したもので、隣接するメモリセルに接続されたデータ対線は、データ対線D1およびD1Bとデータ対線D2およびD2Bに分割され、各々のデータ対線はデータ対線選択線ISO1、ISO2で分離される。ここで、上記フリップフロップ回路は該データ対線に接続されており、コモンソース線S NLを接地電位に、SPLを電源電圧に駆動することにより、データ線でセンスした信号を増幅する。さらに該データ対線には、入出力信号線I/Oが接続されたスイッチトランジスタが接続されており、列選択線YLで信号の入出力がコントロールされる。

次に、図4乃至図10に示す製造工程の断面図を用いて本実施例をさらに詳しく説明する。図4乃至図10においても図1と同様にメモリセル領域と周辺回路領域を同一図面に示してある。

まず、図4に示すように、(100)結晶面を有するシリコン基板1上に公知の技術によりアイソレーション(フィールド酸化膜)2を選択形成する。このアイソレーション2によって区画された活性領域に、ゲート電極4と、高濃度n型不純物領域7、8および高濃度p型不純物領域9からなるMISFETを公知の方法により形成する。MISFETのゲート長は0.2μmである。なお、アイソレーションとしては選択酸化法(LOCOS)や、シリコン基板の浅溝にシリコン酸化膜を埋め込んだトレンチアイソレーション等を用いることができる。また、ここではMISF

ETの極性にはnチャネルを用いているが、pチャネルでもよい。さらに、ホットキャリアによる素子劣化を低減するためにLDD(Lightly Doped Drain)構造を用いることもできる。さらに、ここでは自己整合コンタクトを用いるために、同図に示したようにゲート電極4の側壁や上部に絶縁膜としてシリコン窒化膜5、6が公知の方法により設けられている。

次いで、図5に示すように、ボロンとリンを含んだシリコン酸化膜10を公知のCVD法により堆積し、800℃程度の温度のアニールを施すことによりシリコン酸化膜10表面をなだらかにする。シリコン酸化膜10は、公知のCMP(

Chemical Mechanical Polishing) 等の方法で平坦化することもできる。次いで、ホトリソグラフィとシリコン酸化膜のドライエッチングにより、シリコン酸化膜 10 に直径 0.2 μm 程度の開口部 39、40 を形成する。ここで、ホトリソグラフィとしてはエキシマレーザーを用いたホトリソグラフィを用いる。また、ドライエッチングを行う際にシリコン酸化膜 10 の下部にエッチングストップとなるシリコン塗化膜を設け、アイソレーション領域に対して自己整合で該開口部を形成することが望ましい。さらに、ゲート電極上を含む開口部 40 には別のホトリソグラフィとドライエッチングを用いることが望ましい。なお、上記エッチングストップを用いる際は、シリコン酸化膜のドライエッチングとシリコン塗化膜のドライエッチングの両方を用いる。

次いで、図 6 に示すように、公知の CVD 技術によりチタンナイトライド膜 (TiN) を 300 nm 程度の厚さに堆積し、異方性のドライエッチングによりエッチバックすることで、上記開口

部に 39、40 にチタンナイトライド (TiN) によるプラグ電極 (チタンナイトライドプラグ) 11 を形成する。この場合、チタンナイトライド膜とシリコン酸化膜 10 を CMP 技術により研磨することで、平坦化とプラグ電極の形成を同時にやってよい。また、チタンナイトライド以外に、チタンタングステン (W) 等の耐熱性のあるバリア材料も用いることができる。

次いで、図 7 に示すように、厚さ 50 nm 程度のシリコン塗化膜 12 を LPCV 法により堆積し、開口部 22 (図 2) をホトリソグラフィとドライエッチングで形成し、CVD 法を用いて配線電極 13 としてタンクスチタンを約 100 nm の厚さに堆積し、ホトリソグラフィとドライエッチングによりバーニングする。なお、配線電極 13 の材料としてはタンクスチタン以外の高融点金属や、高融点金属のシリサイド膜と多結晶シリコン膜との複合膜等も用いることができる。

次いで、図 8 に示すように、厚さ 0.5 ~ 1 μm 程度のシリコン酸化膜 14 を公知の TEOS (テトラ・エトキシ・シラン) ガスを用いた CVD 法により 400 °C 程度の温度で堆積し、表面を公知の CMP 法を用いて平坦化する。さらに、エレクトロンビームによるリソグラフィとドライエッチングを用いて上記シリコ

ン酸化膜14とシリコン塗化膜12に開口部25を形成する。ここで、開口部の直径はおよそ0.1μm程度である。

次いで、図9に示すように、n型の不純物が高濃度に添加された第1の多結晶シリコン膜を公知のLPCVD法により約100nmの厚に堆積する(図示せず)。この際、該多結晶シリコン膜は上記開口部25にも埋め込まれる。さらに、図には示していない

いが、厚さ500nm程度のシリコン酸化膜を堆積しホトリソグラフィとドライエッチングにより蓄積電極のパターンにパターニングした後、さらに、第2の多結晶シリコン膜をLPCVDにより段差被覆性良く堆積し、上記第1ならびに第2の多結晶シリコン膜を異方性のドライエッチングによりエッチングし、さらに上記厚さ500nm程度のシリコン酸化膜を除去し、王冠形状の蓄積電極15を形成する。なお、上記シリコン酸化膜の除去の際に、シリコン酸化膜の下層にシリコン塗化膜を設けておくことが望ましい。

次いで、図10に示すように、五酸化タンタル(Ta₂O₅)膜等のシリコン酸化膜より比誘電率の大きなキャバシタ誘電体膜16を堆積する。この際、堆積方法としては、段差被覆性の良いCVD法を用いる。さらに、キャバシタ誘電体膜の酸化膜換算膜厚は1ギガビットクラスの大容量ダイナミックRAMでは3nm以下にすることが好ましい。なお、ここでは蓄積電極15として多結晶シリコン膜を用いたが、タンゲステンやチタンナイトライド膜の様な高融点金属膜を用いることもできる。この場合、多結晶シリコン膜表面の自然酸化膜の影響を排除することができ、キャバシタ誘電体膜の酸化膜換算膜厚を薄くできる。また、キャバシタ誘電体膜の材料としてはシリコンナイトライドとシリコン酸化膜との複合膜ほか、SrTiO₃膜や(Ba,Sr)TiO₃膜(BST膜)のような公知の高誘電体膜、さらにはPZT膜のような強誘電体膜を用いることもできる。次いで、300nm程度の厚いタンゲステンやチタンナイトライドなどの高融点金属膜を堆積し、ホトリソグラフィとドライエッチングによりキャバシタのブ

レート電極17(上部電極)を形成する。ブレート電極材料の堆積方法としては

、段差被覆性の良いCVD法が好ましい。

次いで、層間絶縁膜として厚さ200nm程度のシリコン酸化膜18を堆積し、周辺回路部の金属配線13上のシリコン酸化膜14、18に開口部を形成した後、金属配線19を形成して図1に示した本発明の半導体装置が完成する。なお、金属配線19はアルミニウムなどの低抵抗金属が好ましく、図1に示すように、メモリセルアレー内配線として用いることができる。また、金属配線21を形成する際に層間絶縁膜の平坦化のために公知のプラグ技術やCMP法を適用することもできる。

なお、上記実施例の蓄積電極15である多結晶シリコン表面を凹凸形状にすることで蓄積電極の表面積を増加させ、より大きな蓄積容量が得られるようになることもできる。また、本実施例ではプラグ電極にチタンナイトライドを用いたが、チタンタングステン(TiW)でも良く、さらに、配線電極13のドライエッティングに対してエッティング速度の遅い材料で、かつ不純物の拡散バリアとなる材料であれば他の材料を用いることもできる。

また、図44に示すように、プラグ電極11の下部にチタン(Ti)146を敷き、シリコン基板との界面にチタンシリサイド(TiSi₂)147を形成することによって、高濃度不純物領域7、8、9との接触抵抗の上昇を防止することができる。

さらに、図45に示すように、キャパシタが接続されるストレージノードの高濃度不純物領域8上には、多結晶シリコンプラグ248を用いることができる。この場合にストレージノードの高濃度不純物領域には直接チタンナイトライドやチタンシリサイド

が接することができないので、接合リード電流を低減することができる。

本実施例によれば、データ線と高濃度n型不純物領域を接続しているプラグ電極はチタンナイトライドからなるため、データ線材料のドライエッティングの際に下地のプラグ電極が露出してもエッティングされることはなく、データ線とデータ線を接続するための開口部の被さり余裕を縮小することができる。

さらに、キャパシタの蓄積電極は直接シリコン基板に接続せずに一旦プラグ電

極を介する為に、蓄積電極を接続するための開口部の形成時に、ドライエッティングのエッティング量が少なくて済み、ドライエッティングに起因したサイドエッティングによる開口部の膨らみが低減できる。その結果、蓄積電極とデータ線のショートマージンが大きくなる。また、上記蓄積電極が接続されるプラグ電極の部分では、プラグ電極の直径より蓄積電極を接続するための開口部の直径の方が小さいため、蓄積電極とデータ線のショートマージンがさらに大きくなる。

さらに、プラグ電極をメモリセルや周辺回路のnチャネルMISFETばかりでなく、pチャネルMISFETにも用いることができるため、製造工程の増加無しにセンスアンプなどの周辺回路の所要面積を縮小することができる。

そしてさらに、上記で述べたように、データ線材料のドライエッティングの際に下地のプラグ電極が露出してもエッティングされることはないと想定するため、データ線の線幅を縮小しても何ら問題が生じない。従って、これによってデータ線と蓄積電極を接続するために開口部のショートマージンを大きくすることができる。具体的に

は、周辺回路部の配線電極13にホトレジストを設け、メモリセル領域の配線電極13を等方性のドライエッティングでサイドエッティングする。これにより、同時にメモリセルの配線電極13の膜厚を薄くし、周辺回路部の配線電極13の膜厚を厚くすることもできるため、メモリセル内の蓄積電極の開口部の深さを浅くすることができ、容易に製造できるようになる。なお、配線電極13のドライエッティングの際に、使用するマスク材料をサイドエッティングすることによって、ドライエッティングのマスク自身の寸法を最小加工寸法以下に縮小してもよい。

<実施例2>

本実施例は、実施例1におけるダイナミックRAMに関し、実施例1とは異なる構造のキャバシタを用いたものを図11ならびに図12を用いて説明する。

まず、図11に本実施例によるダイナミックRAMの断面図を示す。同図において、キャバシタの蓄積電極26(下部電極)は膜厚がおよそ500nmの厚い多結晶シリコン膜で形成されている。即ち、該蓄積電極は多結晶シリコン膜を堆積した後に蓄積電極の形状にバクーニングしただけのものである。本実施例によ

れば、多結晶シリコンの膜厚を厚くすることによって、多結晶シリコンの側壁の垂直成分を利用して蓄積容量を増加させる構造で、実施例1で述べた王冠型キャバシタと同様の効果がある。

なお、該蓄積電極以外の構造は実施例1と同様であり、蓄積電極26はシリコン酸化膜14の開口部を介してMISFETの高濃度n型不純物領域8上に形成したチタンナイトライドからなるプラグ電極11に接続されている。また、キャバシタ誘電体膜2

7は実施例1と同様に五酸化タンタルなどの高誘電体膜を用いている。

図12は、図11とは異なるダイナミックRAMの断面図である。同図において、蓄積電極30はおよそ100nmの膜厚のプラチナ膜で形成されている。さらに、該蓄積電極30上には厚さ約30nmの(Ba、Sr)TiO₃膜からなるキャバシタ誘電体膜31が形成されている。また、配線電極13上のシリコン酸化膜14には該シリコン酸化膜14を貫通するプラグ電極29が形成されている。したがって、上記蓄積電極30は、一旦プラグ電極29を介して、プラグ電極11に接続されMISFETに電気的に接続されることになり、蓄積電極を形成する際に段差被覆性の良いCVD法で堆積できない電極材料も用いることができるようになる。

なお、本実施例では上記プラグ電極29の材料としてはプラグ電極11と同様チタンナイトライドを用いることが望ましく、これによりプラチナからなる蓄積電極が上部に接続されてもこれらの間で反応を起こすことがなくなる。

本実施例では、誘電率の高いキャバシタ誘電体膜を用いているために、上記したような蓄積電極の側壁を利用する立体的なキャバシタを形成しなくとも十分な蓄積容量を確保することができる。

また、蓄積電極の厚さが薄いために、キャバシタ誘電体膜31の形成にはスパッタ法を用いることができ、誘電体膜の製造が容易になる。

以上、2つの実施例で説明したキャバシタの構造は、実施例1の王冠型キャバシタに比べると製造工程が簡単である。このよう

に、本発明はキャバシタの構造に関係なく適用できることがわかる。

また、上記したような高誘電率のキャバシタ誘電体膜では結晶化の為に750°C程度の高温のアニールが必要であるが、本発明では基板シリコンへの接続はチタンナイトライドによるプラグ電極を用いているために、接続部分でシリコンとの反応が生じるようなことはない。

なお、本実施例の図12に示したプラグ電極29の構造は、実施例1の王冠型キャバシタや他の実施例にも適用できる。

<実施例3>

本実施例は、実施例1におけるダイナミックRAM、特に蓄積電極の接続方法に関する。図13は本実施例のダイナミックRAMの断面図であり、キャバシタの蓄積電極15をプラグ電極11に接続する際にシリコン酸化膜14の開口部を縮小する方法を示している。同図において、シリコン酸化膜14の開口部以外は実施例1の図1と同じであり、シリコン基板に形成されたMISFETの高濃度n型不純物上にはチタンナイトライドのプラグ電極が設けられ、さらに、その上部にはデータ線上部のシリコン酸化膜14を介して王冠型のキャバシタが形成されている。シリコン酸化膜14に形成された開口部は、該開口部側壁のスペーサー絶縁膜33により間口の寸法が縮小されている。キャバシタの蓄積電極16はこのようにして間口が縮小された開口部を介してプラグ電極11に接続されている。

次に、図14乃至図17を用いて本実施例の製造工程について説明する。

まず、図14に示すように、シリコン基板上にMISFETとデータ線を形成するまでの工程は実施例1の図7と同一である。次いで、配線電極13上にシリコン酸化膜14を堆積し、ホトリソグラフィとドライエッティングにより該シリコン酸化膜14に直径約0.2μmの開口部を形成する。ここで、0.2μmはホトリソグラフィの最小加工寸法である。

次いで、図16に示すように、厚さ約50nmのシリコン窒化膜をLPCVD法により堆積し、上記開口部の側壁にも被覆性良くシリコン窒化膜を形成する。そして、異方性のドライエッティングにより堆積したシリコン窒化膜の平坦部をエ

ツチバックすることにより、開口部のシリコン酸化膜14の側壁にスペーサ絶縁膜33を形成する。このスペーサ絶縁膜33形成後、オーバーエッチングにより下層にあるシリコン塗化膜12もエッ칭し、プラグ電極11に至る開口部を形成してもよい。上記工程によりシリコン酸化膜14の開口部は直径が約0.1μmとなる。

次いで、図17に示すように、蓄積電極となる多結晶シリコン膜を堆積し、実施例1と同様に王冠型の蓄積電極15を形成し、キャバシタ誘電体膜16並びにプレート電極17を形成する。

本実施例によれば、データ線となる配線電極13上のシリコン酸化膜14には、最小寸法以下の直径の開口部が形成できるため、データ線と開口部の間隔を縮小することができ、蓄積電極とデータ線のショートマージンが大きくなる。なお、本実施例では、王冠型のキャバシタを例に説明したが、実施例2で述べたキャバシタ構造や他の公知のキャバシタ構造にも適用することができる。

<実施例4>

本実施例は実施例1におけるダイナミックRAM、特にデータ線の線幅を縮小する方法に関する。図18は本実施例のダイナミックRAMの断面図である。

図において、データ線となる配線電極37はシリコン酸化膜35に形成された開口部に埋め込まれており、さらに、該開口部にはシリコン塗化膜によるスペーサ絶縁膜36が形成されており、配線電極37の線幅は該スペーサ絶縁膜36によって決まっている。王冠型のキャバシタ蓄積電極15は上記配線電極37およびシリコン酸化膜35上のシリコン酸化膜38上に形成されており、シリコン酸化膜38、35、ならびにシリコン塗化膜12に形成した共通の開口部を介して蓄積電極15はプラグ電極11に接続されている。

次に、図19乃至図24に示す製造工程の断面図を用いて本実施例をさらに詳しく説明する。

まず、図19に示すように、シリコン基板上にMISFETとプラグ電極11を形成するまでの製造工程は実施例1の図6と同一であり、さらに、エッティングストップとしてシリコン塗化膜12をLPCVD法により約50nmの厚さに堆

積する。

次いで、図20に示すように、TEOSを用いたCVDにより、およそ200nmの厚さのシリコン酸化膜35を堆積し、ホトリソグラフィとドライエッチングにより該シリコン酸化膜35に配線電極のバターンで開口部を形成し、さらに厚さ約50nmのシリコン塗化膜41をLPCVD法により段差被覆性良く堆積する。なお、シリコン塗化膜の代わりにシリコン酸化膜を用いてもよい。

次いで、図21に示すように、異方性のドライエッチングに

より、上記シリコン塗化膜41並びに12をエッチングし、シリコン酸化膜35の側壁にスペーサ絶縁膜36を形成すし、同時にプラグ電極11を露出させる。

次いで、図22に示すように、約300nmの厚さのタンクステン膜を堆積する。堆積方法としてはCVD法が好ましい。次いで、CMP法により上記シリコン酸化膜35上のタンクステン膜を研磨し、シリコン酸化膜35の開口部のみにタンクステンを埋め込む。この際、50～100nm程度タンクステン膜が余分に研磨されるようとする。

次いで、図23に示すように、シリコン酸化膜38をおよそ100nmの厚さに堆積し、ホトリソグラフィとドライエッチングによりシリコン酸化膜38、35、並びにシリコン塗化膜12に共通の開口部42を形成する。なお、該開口部の形成の際に実施例3と組み合わせることでより一層効果を上げることができる。

次いで、図24に示すように、蓄積電極15となる多結晶シリコンを堆積し、実施例1と同様に王冠型のキャバシタを形成する。

本実施例によれば、データ線となる配線電極37の配線幅は最小寸法以下の寸法に縮小することができるため、配線電極37と蓄積電極15を接続するための開口部との間のショートマージンを大きくすることができる。

なお、本実施例では、王冠型のキャバシタを例に説明したが、実施例2で述べたキャバシタ構造や他の公知のキャバシタ構造にも適用することができる。

また、本実施例は、図25に示すようなシリコン基板上にプラグ電極を用いない構造のメモリセルや、多結晶シリコンによるP

ラグを用いた構造のメモリセルにも適用することができる。

さらに、ダイナミックRAMに限らずLSIに使用される配線に一般に用いることもできる。この場合、配線電極37の材料としては耐熱性のある高融点金属のほか、アルミニウムや銅等の低抵抗金属を用いることができる。

<実施例5>

本実施例は、キャパシタの容量電極にプラチナを用いたダイナミックRAMのメモリセル、特にプラチナ電極の微細加工に関するものである。図26は本実施例によるダイナミックRAMの製造工程を示すもので、メモリセルのキャパシタに高誘電体のBST膜や、強誘電体のPZT膜を用いるためにキャパシタの容量電極にプラチナを用いている。

まず、図26に示すように、シリコン基板上にMISFETを形成し、プラグ電極11と配線電極13を形成するまでの製造工程は実施例1の図7までの工程と同様である。

次いで、図27に示すように、厚さ0.5~1μm程度のシリコン酸化膜14を公知のTEOSガスを用いたCVD法により400℃程度の温度で堆積し、表面を公知のCMP法を用いて平坦化する。さらに、ホトリソグラフィとドライエッティングを用いて上記シリコン酸化膜14とシリコン窒化膜12に開口部を形成し、およそ200nmの厚さのチタンナイトライド膜をCVD法により堆積した後、平坦部のチタンナイトライド膜を異方性のドライエッティングによりエッチバックし、プラグ電極29を形成する。

次いで、図28に示すように、厚さ100~300nmのプラチナ膜45をスパッタリング法により堆積し、さらに上部に非晶

質シリコン膜43を約100nmの厚さに堆積する。そして、該非晶質シリコン膜43をホトリソグラフィとドライエッティングを用いてバターニングする。

次いで、図29に示すように、所定の温度の窒素雰囲気中でアニールすることにより上記非晶質シリコン膜43とプラチナ膜30を反応させ、非晶質シリコン膜43がバターニングされた部分にプラチナシリサイド44を形成する。非晶質シリコン膜43の無い部分のプラチナ膜30はそのまま残る。

次いで、図30に示すように、フッ酸水溶液によるウェットエッチングを行うことによりプラチナシリサイド44を除去し、プラチナ電極30を形成する。ここでは省略したが、プラチナ膜30の下層にウェットエッチングのストップを設けておくと良い。

さらに、図31に示すように、プラチナ電極30上にBST膜31をスパッタ法もしくはCVD法により堆積し、さらにプラチナ膜32を堆積し、ホトリソグラフィとドライエッチングによりバクーニングする。以降の製造工程は、実施例1と同様にしてよい。

本実施例によれば、プラチナ膜を直接エッチングすることなくプラチナ電極を微細パターンに加工することができるため、蓄積電極にプラチナ膜を用いたキャパシタの微細化が可能になる。

<実施例6>

本実施例は本発明をスタティックRAMに適用したものである。図32はスタティックRAMのメモリセルの等価回路を示すもので、メモリセルは、nチャネルのMISFET (Q1、Q2) とpチャネルのMISFET (Q5、Q6) からなる一対のインバ

ータを互いに交差接続して構成されたフリップフロップ回路と、該フリップフロップ回路に接続された転送トランジスタ (Q3、Q4) とからなる。図33並びに図34はこのようなスタティックRAMのうちpチャネルのMISFETを積層化された多結晶シリコン内に形成した、高集積に適した構造のスタティックRAMの平面図を示すものである。図33はシリコン基板に形成したMISFETの部分を、図34は多結晶シリコン膜内に形成したTFT (Thin Film Transistor) の部分と配線電極の部分をそれぞれ示している。

図33において、駆動用のMISFET Q1、Q2のゲート電極は、開口部に形成されたチタンナイトライドのプラグ電極117を介して、それぞれのドレンである高濃度n型不純物領域106、107からなる記憶ノードに接続されている。さらに、駆動MISFETのソースである高濃度n型不純物領域108、109にも開口部にチタンナイトライドによるプラグ電極117が形成されてお

り、接地配線 116 が接続されている。さらに、上記記憶ノードにおける高濃度 n 型不純物領域 106、107 は転送用 MISFET Q3、Q4 の共通の高濃度不純物領域でもあり、該転送用の MISFET のゲート電極 110、111 は隣接メモリセルの共通のワード線となっている。また、該転送用 MISFET の高濃度 n 型不純物領域 104、105 にも開口部にプラグ電極 117 が形成されており、さらに開口部 127、128 を介してデータ線となる配線電極 129、130（図 34）が接続されている。

また、図 34において、記憶ノードに形成されたプラグ電極 1

17 には開口部 140、141 を介して負荷素子である p チャネルの TFT (Q6、Q5) のゲート電極 119、120 が接続されている。はさらに、それぞれのゲート電極 119、120 には開口部 121、122 を介して他方の TFT のドレイン領域 114、115 が接続されている。さらに、該 TFT (Q5、Q6) のソース領域 125、126 は隣接メモリセルの共通の電源配線となっている。

次に、図 35 の断面図を用いて、本実施例をさらに詳しく説明する。同図は図 33、34 の平面図における X-X' 線の断面図である。

メモリセルの n チャネル MISFET はシリコン基板表面に形成されている。高濃度 n 型不純物領域 104、106 並びにゲート電極 112 上にはプラグ電極 117 が形成されている。さらに、シリコン酸化膜 133 上には実施例 4 で説明した構造の配線電極 116 が形成されている。配線電極 116 の材料はタンクステンが好ましい。なお、概配線電極 116 は駆動用 MISFET のソースに接地電位を供給する接地配線となる。

さらに、該配線電極 116 の上部にはシリコン酸化膜 137 を介して、p 型の多結晶シリコン膜からなる TFT のゲート電極 119、120 が形成されている。ゲート電極 120 上部には TFT のゲート絶縁膜 138 が設けられている。そして、該ゲート絶縁膜 138 上に多結晶シリコン膜からなる TFT のチャネル領域 123 と、p 型の不純物が添加されたソース領域 125 およびドレイン領域 114 が形成されている。ここで、一方の TFT のドレイン領域 114 は、ゲート

絶縁膜138の一部に形成した開口

部を介して他方のTFTのゲート電極119に接続されフリップフロップ回路の交差接続が達成されている。さらに、該ゲート電極はプラグ電極117の直径より小さな径の開口部を介してプラグ電極117に接続されている。

本実施例によれば、メモリセルの接地配線とTFTのゲート電極のショートマージンを大きくすることができるため、スタティックRAMのメモリセル面積を縮小することができる。さらに、pチャネルのTFTとシリコン基板に形成したnチャネルのMISFETは、チタンナイトライドからなるプラグ電極で接続されているために、電気的なオーミック接続が得られる。

<実施例7>

本実施例は、nチャネルのMISFETとpチャネルのMISFETを、全てシリコン基板に形成したスタティックRAMに本発明を適用したものである。図36および図37は本実施例によるスタティックRAMの平面図であり、図36はMISFETとローカル配線部、図37は配線電極の部分を示している。

図36において、MISFET Q1、Q2、Q3、Q4、Q5、Q6は図32の等価回路に対応している。また、ゲート電極215はQ1とQ5の共通のゲート電極である。ゲート電極216はQ2とQ6の共通のゲート電極である。また、nチャネルのMISFET Q1、Q2、Q3、Q4の高濃度n型不純物領域206、207上および、pチャネルのMISFET Q5、Q6の高濃度p型不純物領域210、211上には、プラグ電極217、218、219、220が形成されている。さらに、ゲート電極215、216上にもプラグ電極221、222が形成されている。

即ち、メモリセルのフリップフロップ回路の交差接続は、上記プラグ電極217、218、219、220、221、222と厚さ約100nmのタングステン膜からなるローカル配線223、224で形成されている。なお、上記プラグ電極はチタンナイトライドから成り、実施例1と同様な方法により形成されており、該プラグ電極の高さは50nmから150nm程度である。

また、MISFET Q3、Q4の高濃度n型不純物領域204、205、MISFET Q1、Q2の高濃度n型不純物領域208、209、およびMISFET Q5、Q6の高濃度p型不純物領域212、213には開口部225、226、227、228、229、230を介して、図37に示す第1層目の金属配線231、232、233、234が設けられている。金属配線233は駆動用MISFET Q1、Q2のソースに給電する接地配線、金属配線234は負荷用MISFET Q5、Q6のソースに給電する電源配線となっている。さらに、メモリセルのデータ線は第2層目の金属配線237、238により形成されている。なお、上記金属配線231、232、233、234、237、238はアルミニウムからなる。

次に、38図に本実施例の断面図を示す。メモリセル内のnチャネルMISFETとpチャネルMISFETはそれぞれシリコン基板201内のpウェル244、およびnウェル245に形成されている。なお、本実施例で、実施例1と同様にMISFETのゲート電極の側壁および上部にシリコン塗化膜239、240を設け、自己整合コンタクトが形成できるようになっている。この場合、ゲート電極216上に形成するプラグ電極217の形成

の際、他のプラグ電極とは異なるホトリソグラフィとドライエッチングを用いるとよい。また、図には示していないが、アイソレーションに対してもシリコン塗化膜のエッチングストップを用いることにより、ボーダーレスが可能な構造になっている。

本実施例によれば、ローカル配線を微細化することができ、高集積のスタティックRAMを提供することができる。

<実施例8>

本実施例は実施例7のスタティックRAMセルをさらに発展させたもので、4個のプラグ電極によってフリップフロップ回路の交差接続を達成したものである。図39は本実施例によるスタティックRAMの平面図を示すもので、配線電極部分は実施例7と同様であり省略されている。また、断面図を図40に示す。図39並びに図40において、駆動MISFETの高濃度n型不純物領域206上

のプラグ電極217は上部の厚さおよそ100nmのタンクスチタンから成るローカル配線221に接続され、該ローカル配線221は他方のインパート（Q2、Q6）の共通のゲート電極216上、並びに負荷用MISFET Q5の高濃度p型不純物領域210上に延在するプラグ電極246によって、同時に接続されている。なお、図39のプラグ電極247についても同様である。また、上記プラグ電極はチタンナイトライドから成り、実施例1と同様な方法により形成されている。

本実施例によれば、ローカル配線をさらに微細化することができ、高集積のスタティックRAMを提供することができる。

<実施例9>

本実施例は本発明によるスタティックRAMセルにおいて、さ

らに別的方式のメモリセルに関する。図41、図42は本実施例によるスタティックRAMのメモリセルの平面図である。MISFETの部分は、図41に、配線電極の部分は図42にそれぞれ示している。図41で、フリップフロップ回路の交差接続にはローカル配線を使用せずにプラグ電極318、319、320、321、322で接続している。これらのプラグ電極はチタンナイトライドから成り、実施例1と同様な方法により形成されている。また、配線電極は実施例7と同様に2層のアルミニウムからなっている。

本実施例によれば、スタティックRAMの製造工程を簡略にできる。

なお、以上説明したメモリセルの実施例ではスタティックRAM並びにダイナミックRAMとともに周辺回路には実施例1で示したような共通の自己整合構造のプラグ電極を用いることにより、周辺回路の所要面積を低減することができる。

また、以上説明した実施例では本発明をダイナミックRAMやスタティックRAMに適用したものであるが、本実施例はスタティックRAMとダイナミックRAMが同一シリコン基板上に混在した半導体装置や、メモリとロジックが混在した半導体装置にも適用でき、これによって、製造コストの低減やデータ転送速度の向上、チップの面積の低減が可能になる。

以上説明したように、本発明によれば、プラグ電極を用いて、ダイナミックR

AMやスタティックRAM等のメモリセルばかりでなく周辺回路のCMISFETの所要面積を縮小することができる。また、MISFETの上部に素子を形成するような積層構

造のメモリセルにおいて、メモリセルの形成に必要な熱工程を受けてもプラグ電極とシリコン基板の接続の電気特性が損なわれることがなく、特性を安定にすることができる。

さらに、MISFETの上部の素子とその中間に位置する配線層とのショットマージンを大きくすることができる。従って、チップ面積の小さな半導体装置を提供することができる。

さらに、本発明によれば、メモリセル領域のキャバシタ上に形成する配線層および周辺回路領域上の配線層として、銅のような低抵抗の金属材料を用いることにより、より一層、高速動作が可能な半導体記憶装置を提供することができる。

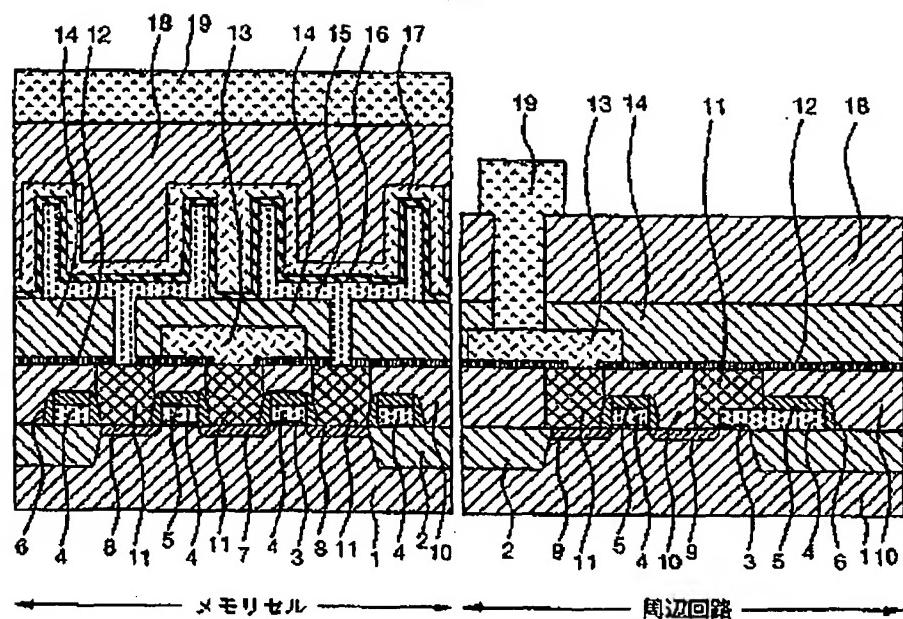
産業上の利用可能性

以上説明した実施例では、本発明をダイナミックRAMおよびスタティックRAMに適用したものである。

しかしながら、本発明はメモリとロジック（論理回路）が混在したオンチップLSIの如き半導体集積回路装置に適用することができる。この場合、キャバシタが形成されている高さにロジック部の配線層を形成することができる。また、ロジック部は複数のCMISFETによって構成される。すなわち、そのロジック部はCOSロジックより成る。

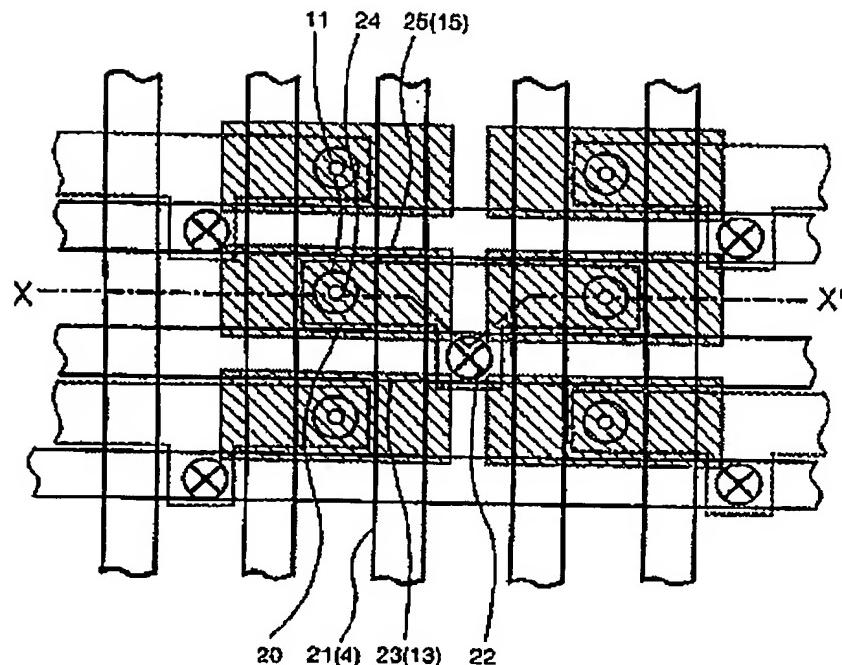
[図 1]

図 1



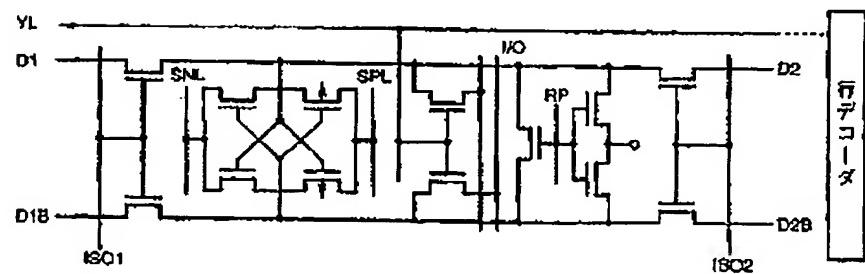
【図 2】

図 2



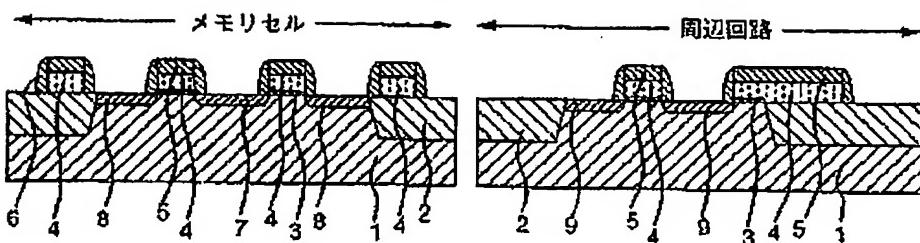
【図 3】

図 3



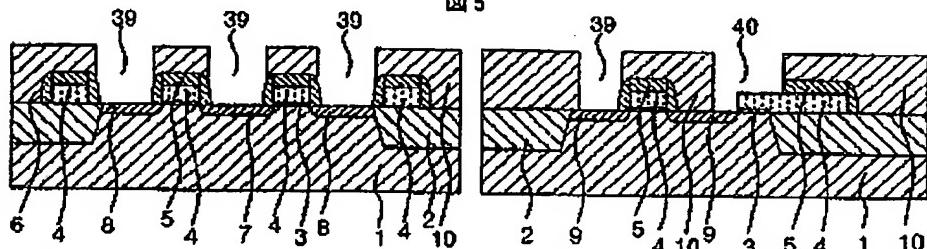
【図 4】

図 4



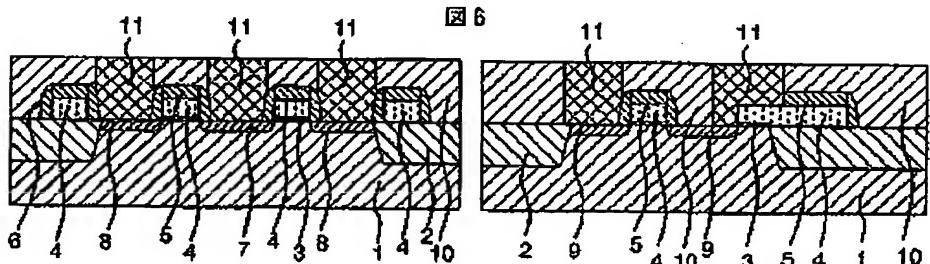
【図 5】

図 5



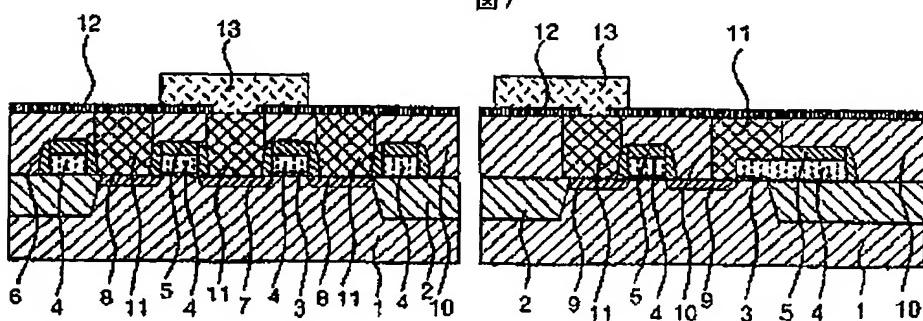
【図 6】

図 6

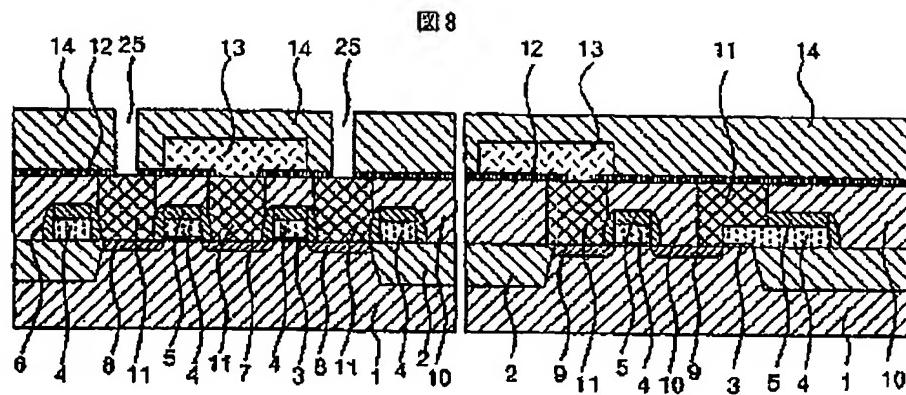


【図 7】

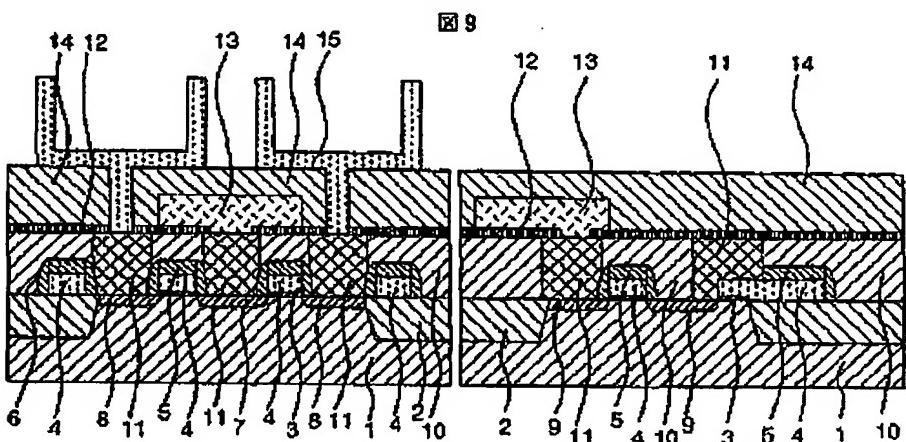
図 7



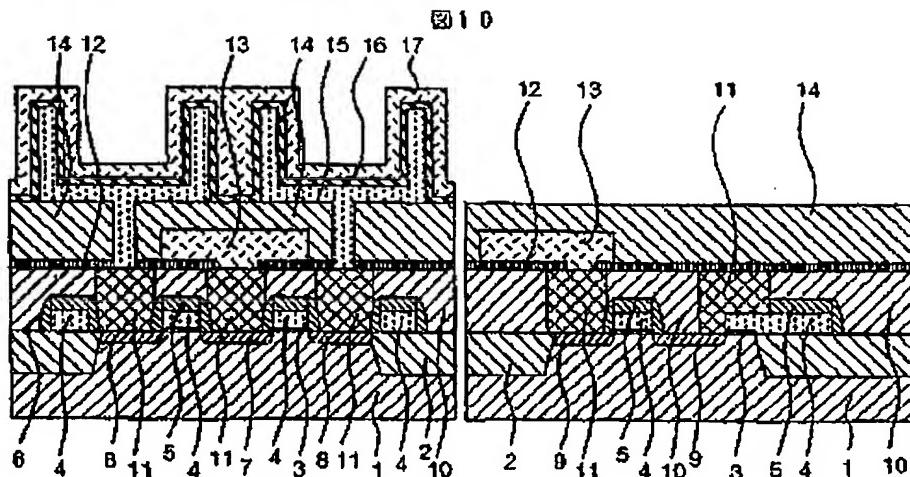
【図8】



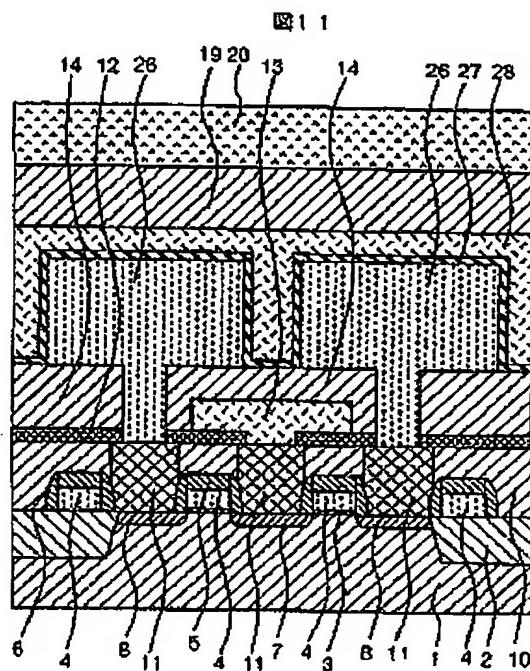
【図9】



【図 10】

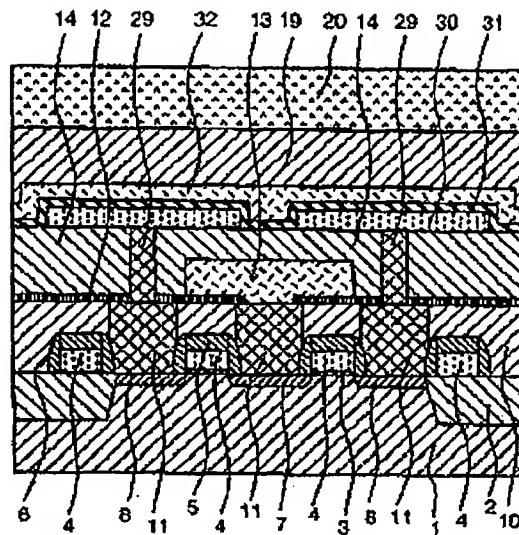


【図 11】



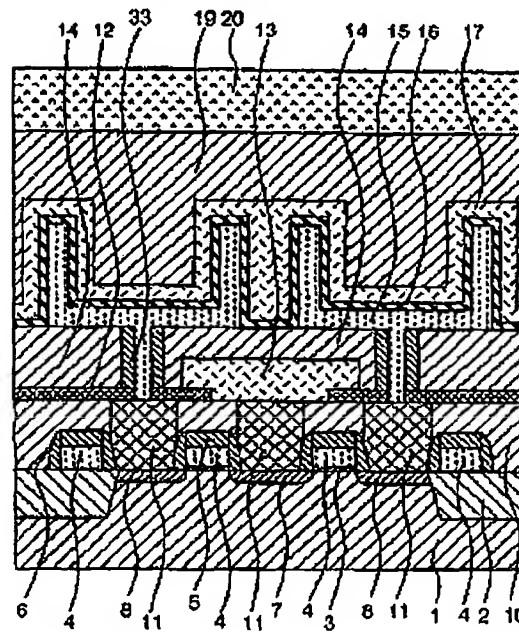
[図12]

図12

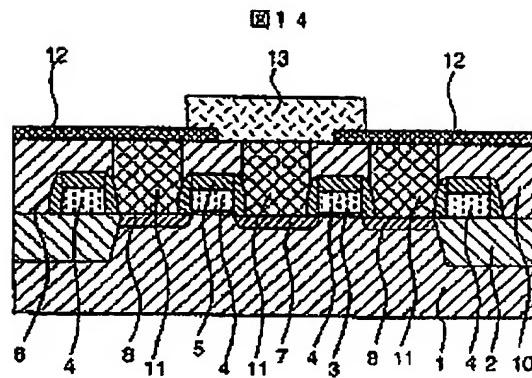


[図13]

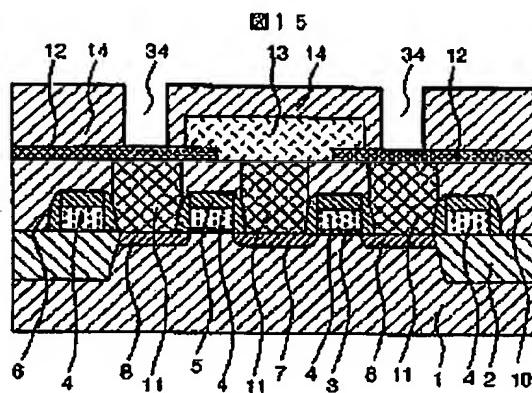
図13



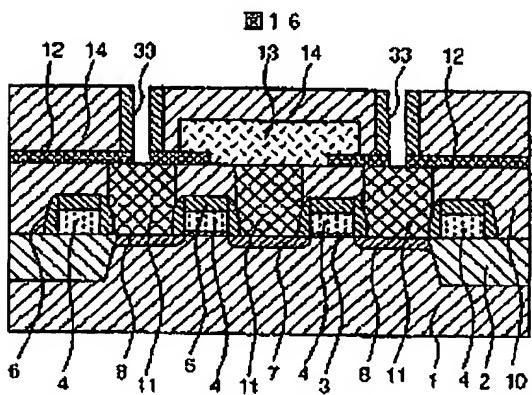
【図14】



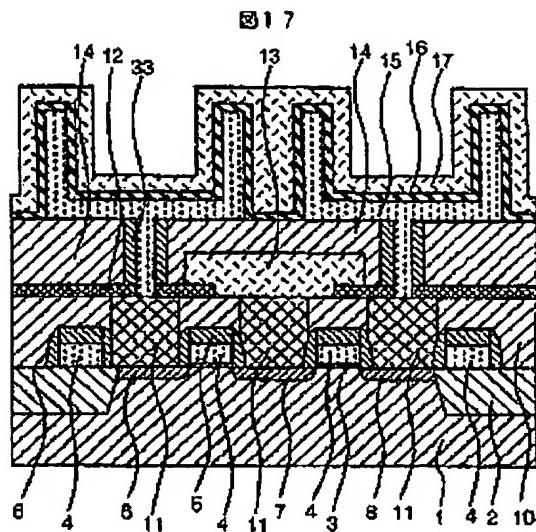
【図15】



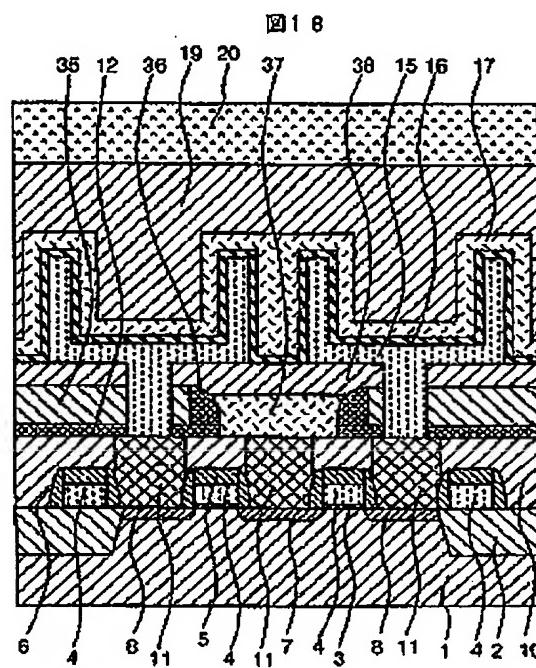
【図16】



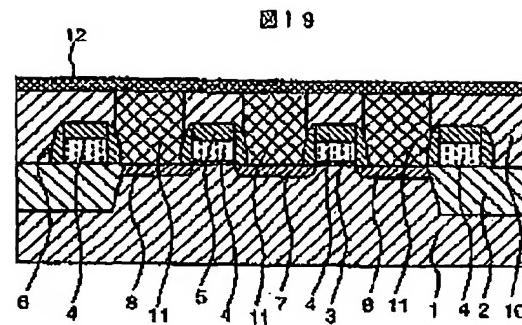
[図 17]



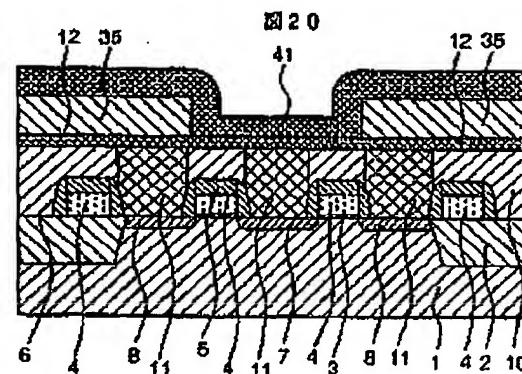
[図 18]



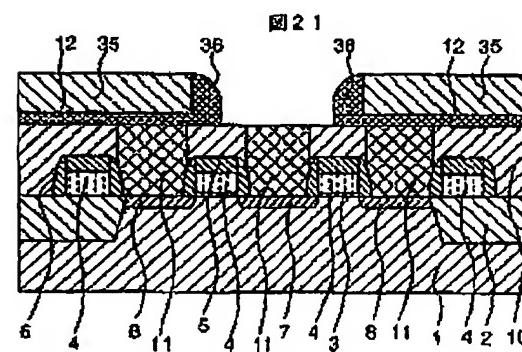
【図19】



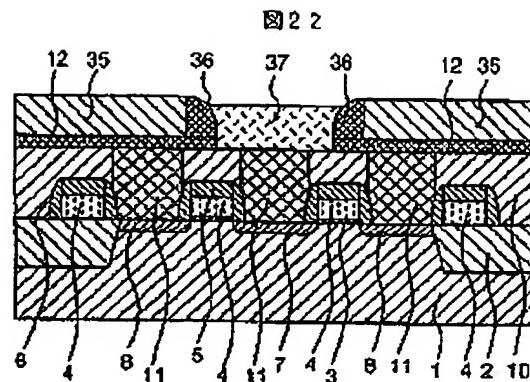
【図20】



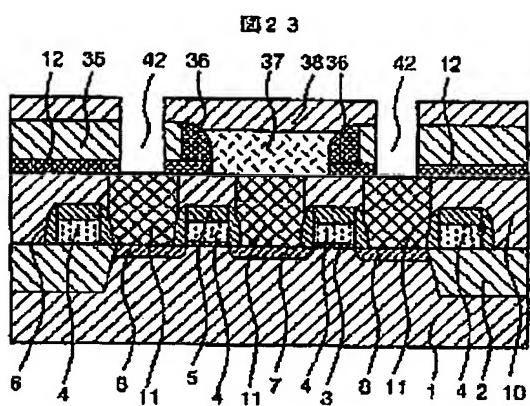
【図21】



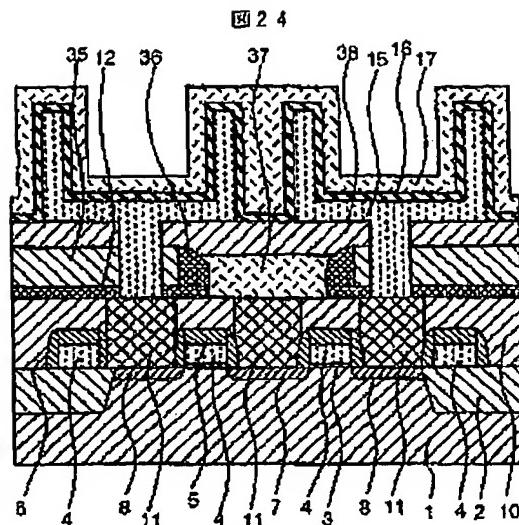
[図 22]



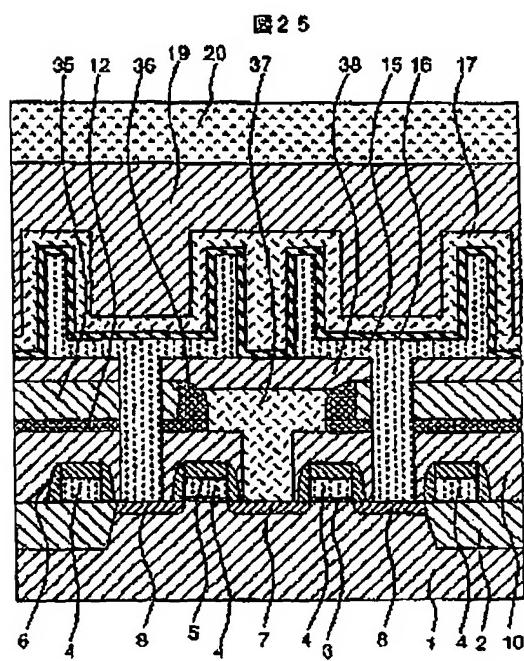
[図 23]



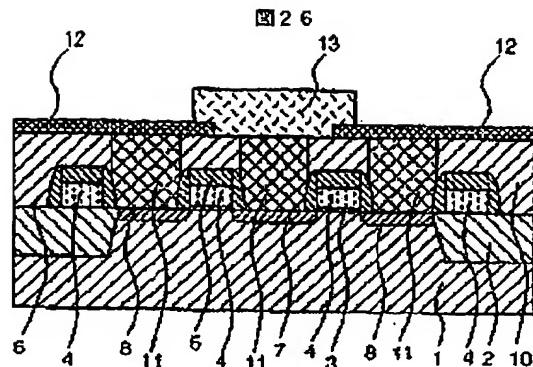
[図24]



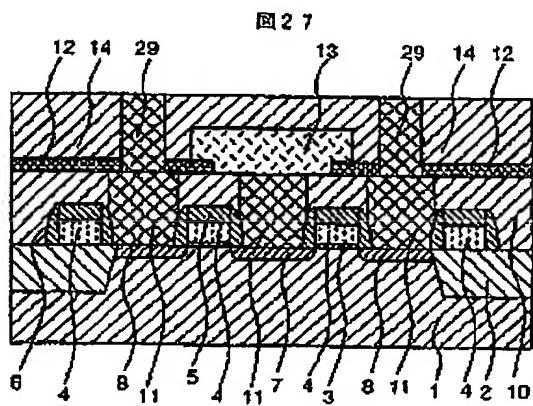
[図25]



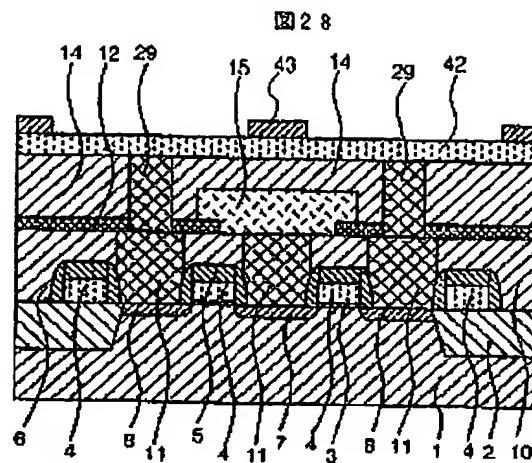
【図26】



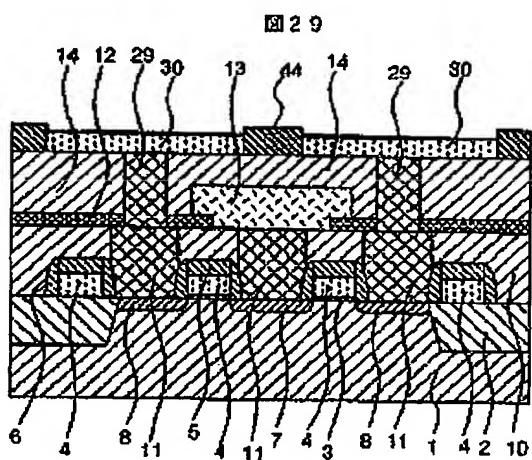
【図27】



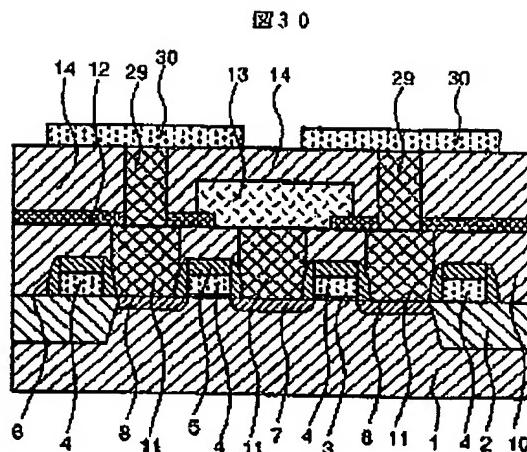
[図 28]



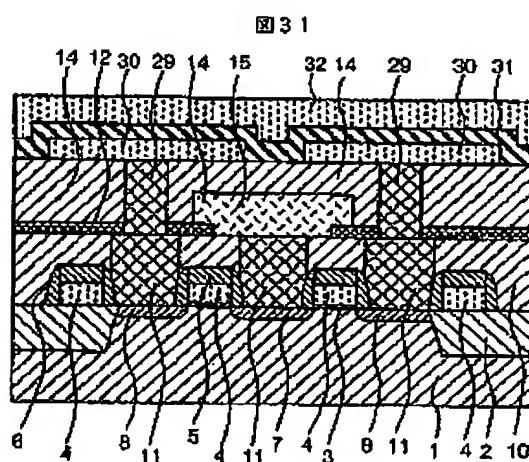
[図 29]



【図 30】

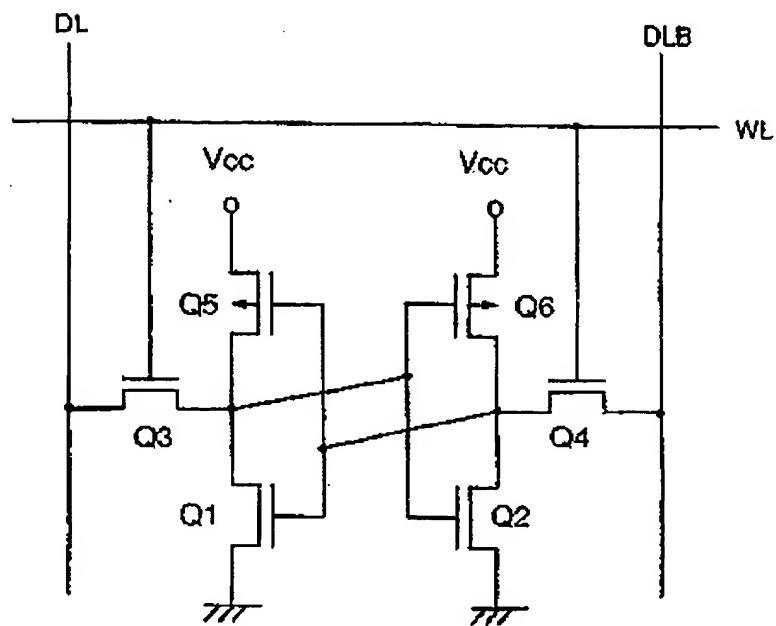


【図 31】

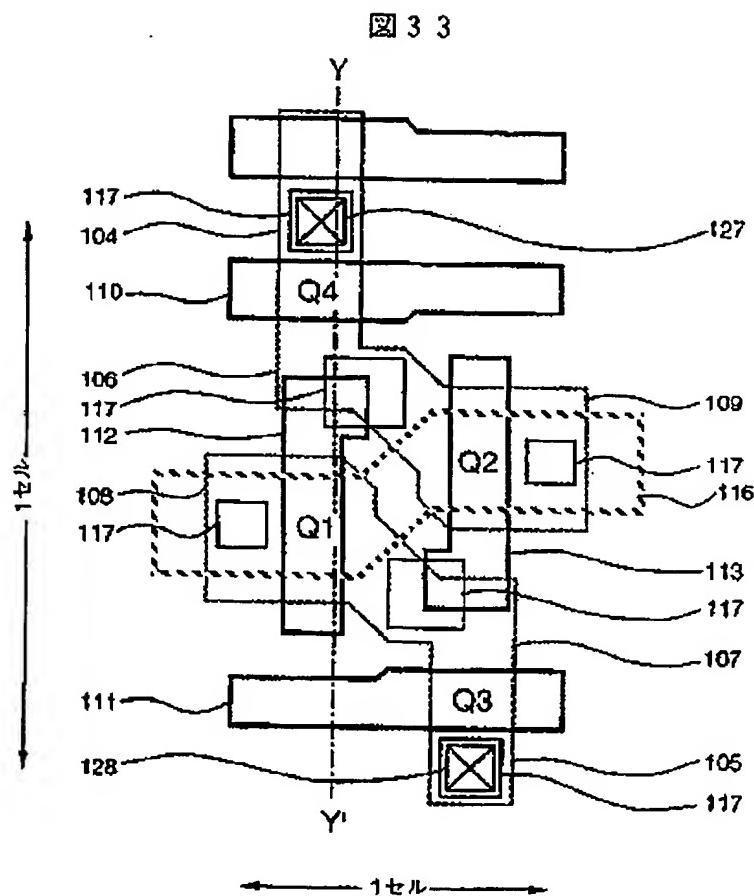


[図 3.2]

図 3.2

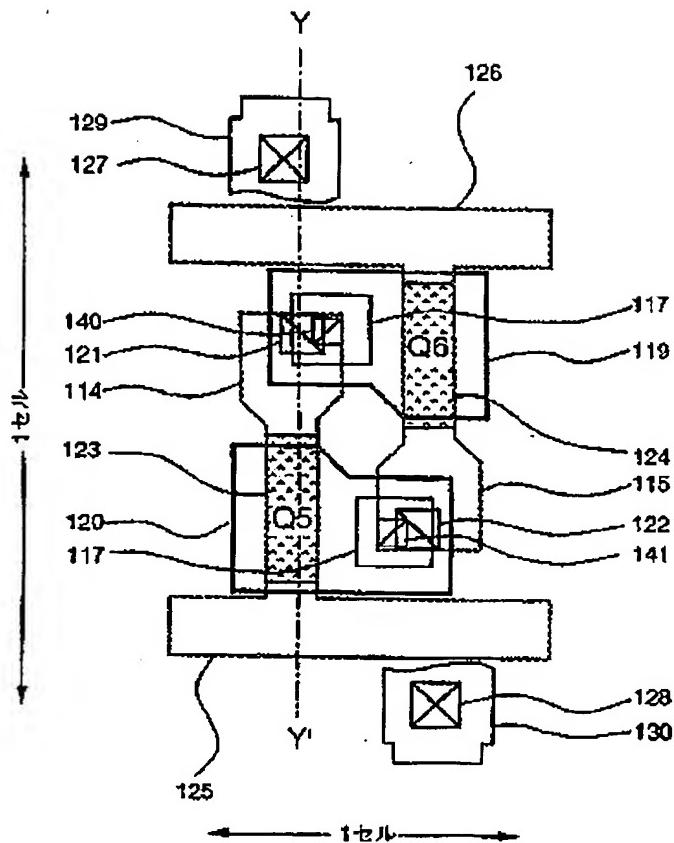


【図33】



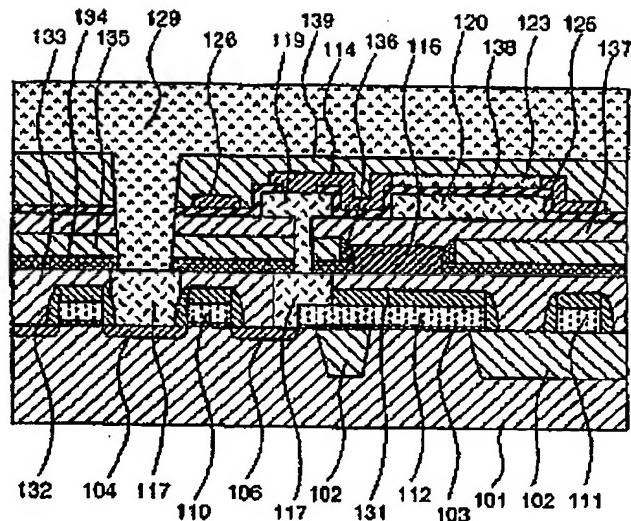
【図34】

図34



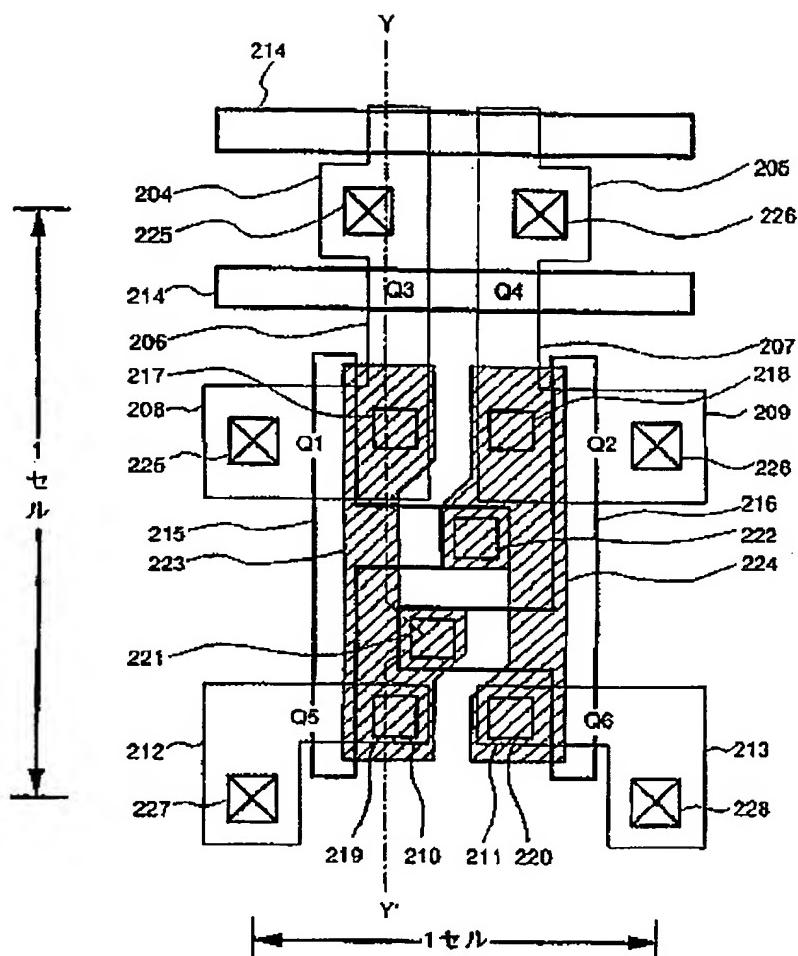
[図 35]

図 35



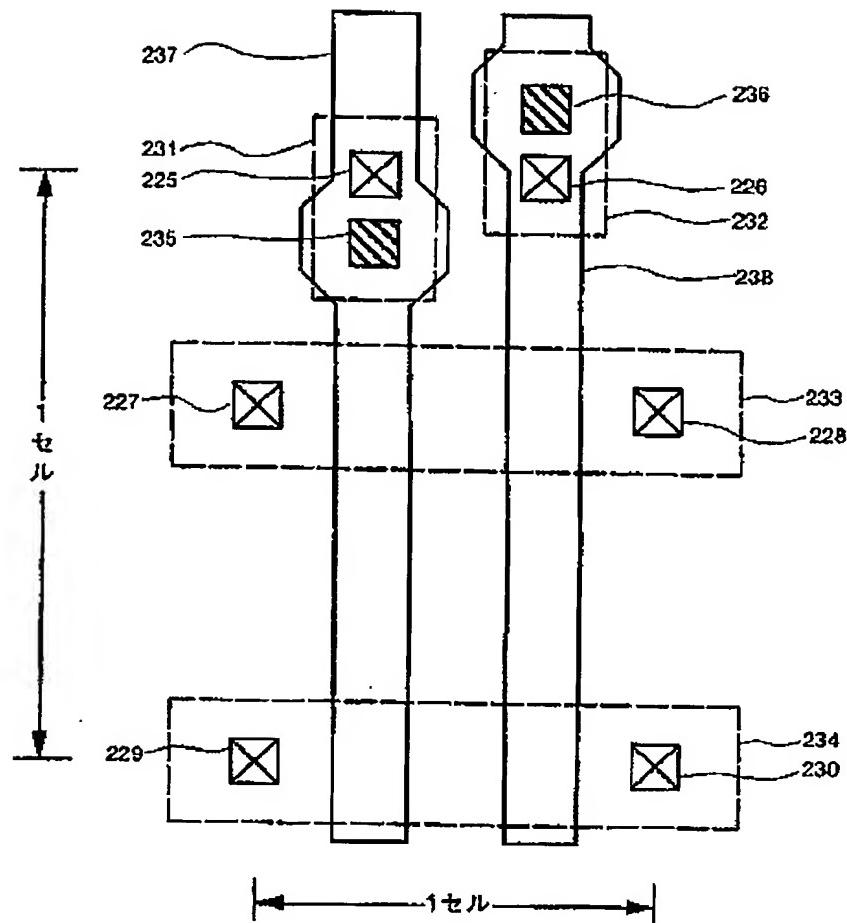
[図36]

図36



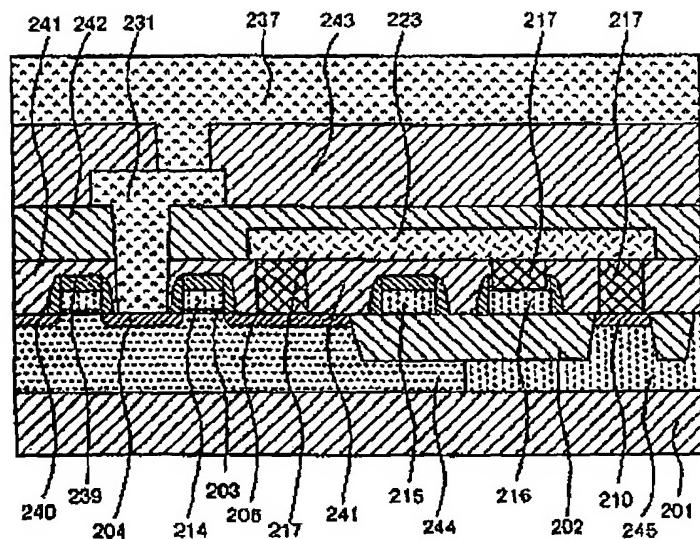
[図 37]

図 37



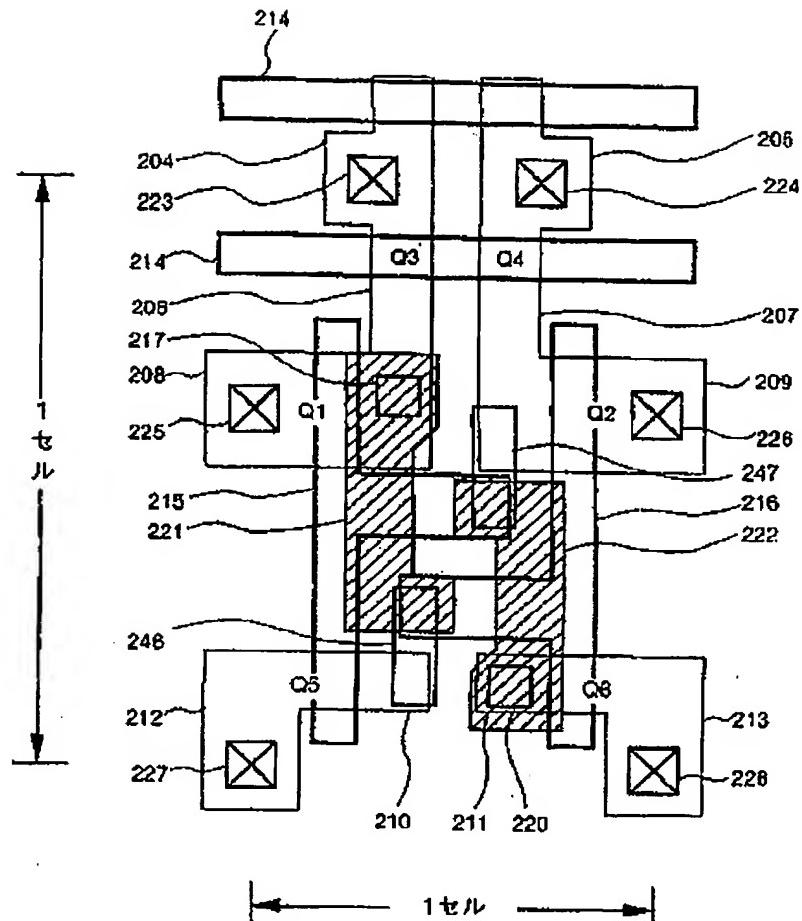
【図38】

図38



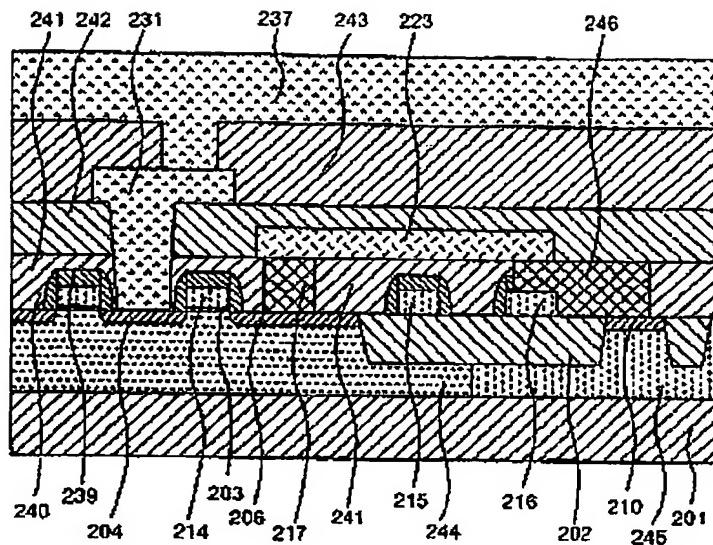
[図39]

圖 3 9



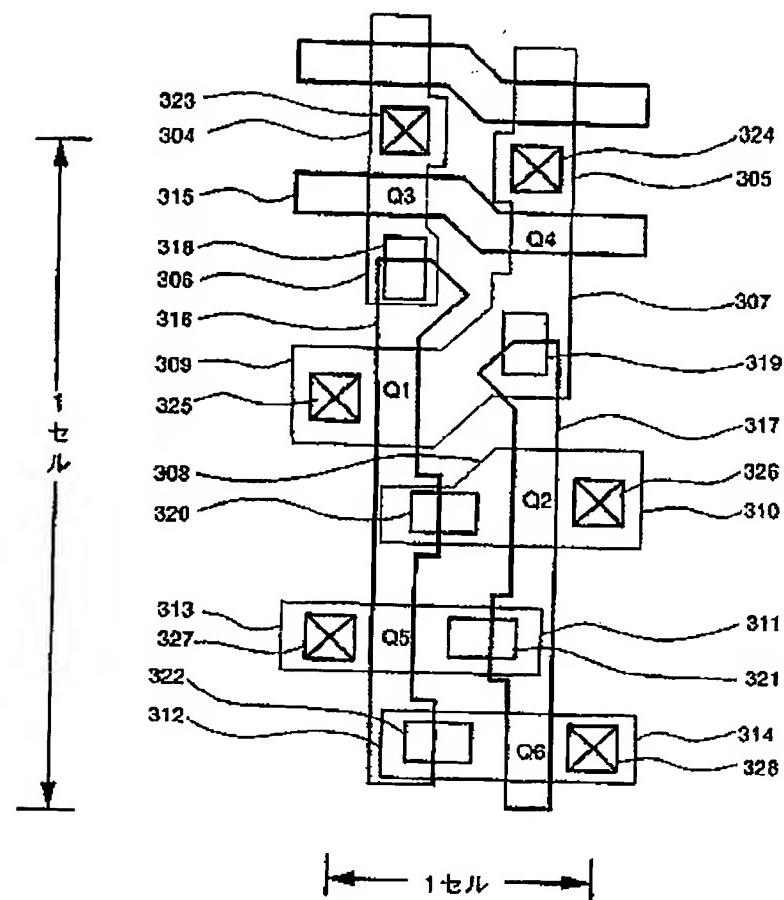
[図 40]

図 40



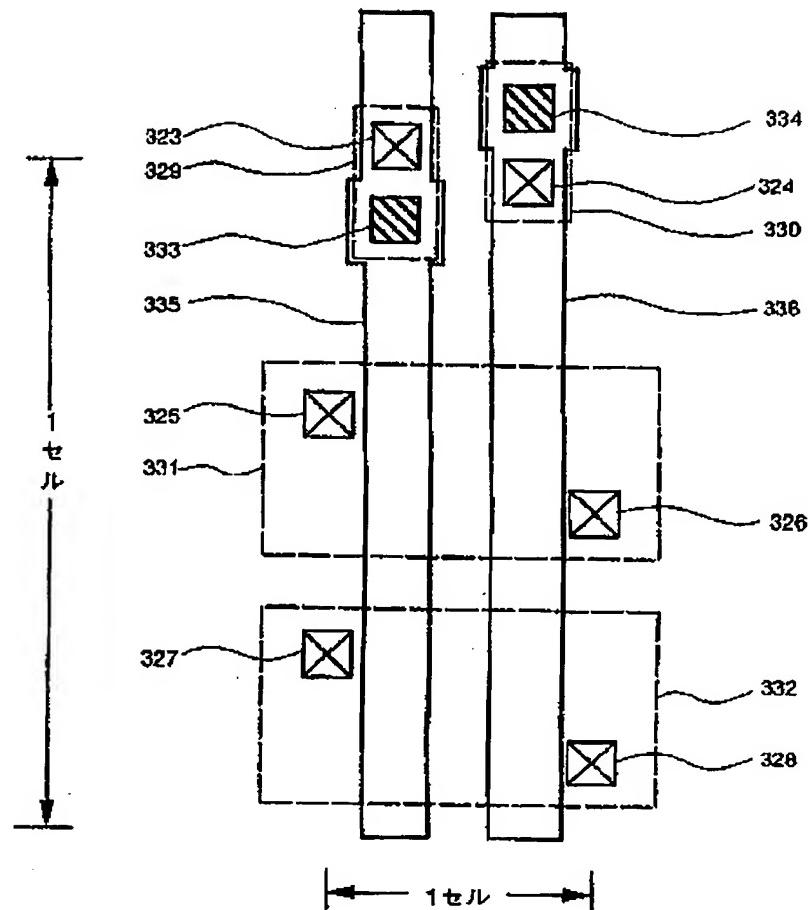
[図4-1]

圖 4-1



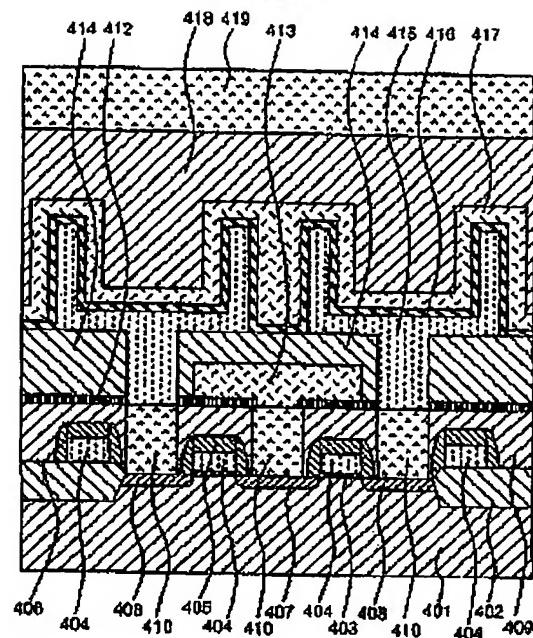
【図42】

図42



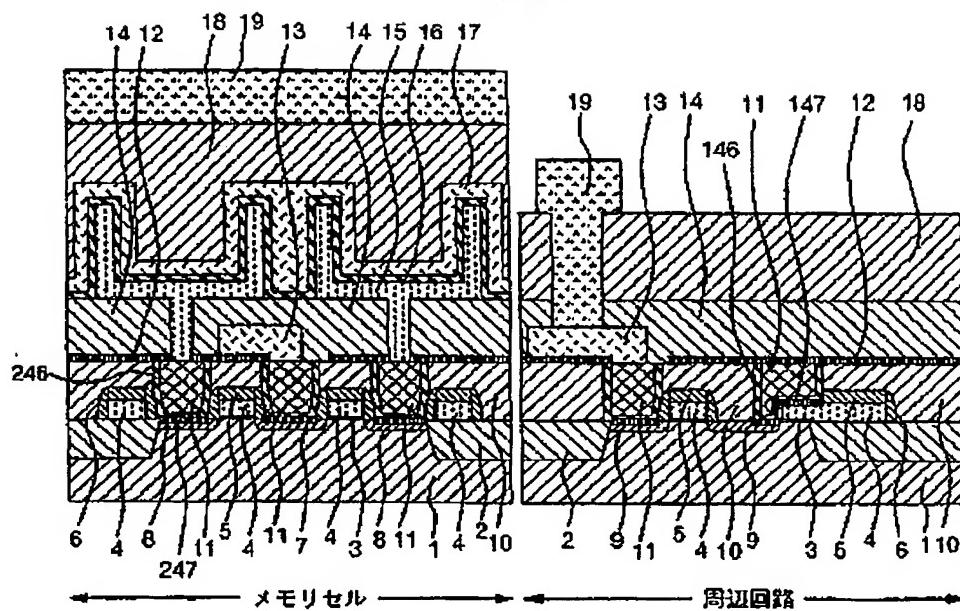
【図 4.3】

図 4.3



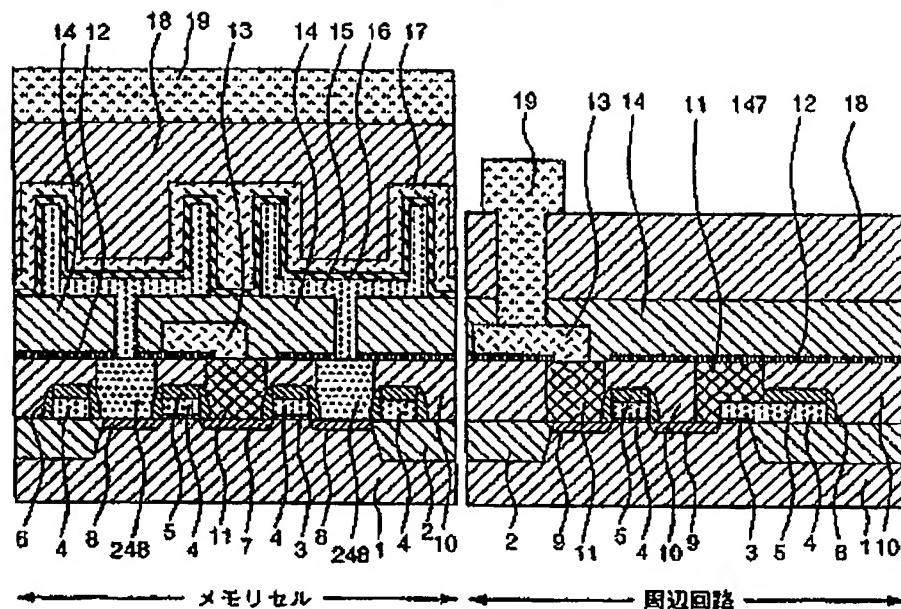
【図44】

図44



【図45】

図45



【国際調査報告】

国際調査報告		国際出願番号 PCT/JP98/03736	
A. 発明の属する分野の分類(国際特許分類(IPC))			
Int C1° H01L27/108, H01L21/8242, H01L27/11, H01L21/8244			
B. 調査を行った分野 調査を行った最小限資料(国際特許分類(IPC))			
Int C1° H01L27/108, H01L21/8242, H01L27/11, H01L21/8244			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996 日本国公開実用新案公報 1971-1996 日本国登録実用新案公報 1994-1996			
国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)			
C. 調査すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が開示するときは、その開示する箇所の表示	開示する 請求の範囲の番号	
Y	JP7-142597A (三越電機株式会社), 2. 6月, 1996, (02. 06. 96), 第1回, &US519257	1-6	
Y	JP6-299601A (三越電機株式会社), 12. 11月, 1993, (12. 11. 93), 第1回, &US5382817	1-6	
X	JP8-181290A (三越電機株式会社), 12. 7月, 1996, (12. 07. 96), 第1回, (アミリー無し)	7, 13	
X	JP8-46152A (日本電気株式会社), 16. 2月, 1996, (16. 02. 96), 第1回, (アミリー無し)	7, 13	
X	JP6-46552A (日本電気株式会社), 18. 2月, 1994, (18. 02. 94), 第1回, &US5365856	16-19, 22	
<input type="checkbox"/> C欄の統計にも文献が列記されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
<p>* 引用文献のカテゴリー</p> <p>「A」特に開示のある文献ではなく、一般的技術水準を示すもの 「B」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に既述を提起する文献又は他の文献の発行者若しくは他の特別な理由を確立するために引用する文献(理由を付す) 「OJ」図面による開示、實用、展示等に當及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p> <p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原義又は理路の理解のために引用するもの 「X」特に開示のある文献であって、当該文献のみで発明の原義又は進歩性がないと考えられるもの 「Y」特に開示のある文献であって、当該文献と他の以上の文献との、当差異にとって自明である組合せにとって進歩性がないと考えられるもの 「企」同一パテントファミリー文献</p>			
国際調査を完了した日 17. 03. 97	国際調査報告の発送日	25.03.97	
国際調査機関の名前及び代理先 日本国特許庁 (ISA/JP) 窓口番号 100 東京都千代田区霞が関三丁目4番3号	特許審査官(施設のある職員) 大崎 洋一	4M	9170
電話番号 03-3581-1101 内線 3464			

フロントページの続き

(72)発明者 阪田 健
東京都小平市小川西町4-7-11-401
(72)発明者 伊藤 浩男
東京都東久留米市学園町2-17-6

(注) この公表は、国際事務局（W I P O）により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第184条の10第1項（実用新案法第48条の13第2項）により生ずるものであり、本掲載とは関係ありません。